

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

substantially equal to a semiconductor chip in a dimension
in X and Y directions except in a direction of thickness.
The resin-encapsulated semiconductor device in accordance
with the present invention means a semiconductor device
5 employing a lead frame among the defined CSP type
semiconductor device.

In the CSP type semiconductor device described above,
the terminal portions made of solder are formed on each of
the terminal columns and is externally exposed from the
10 encapsulating resin, but the terminal portions do not
necessarily need to be protruded from the encapsulating
resin. Moreover, if necessary, the outside face of each
terminal column which is exposed externally from the
encapsulating resin may be covered with a protective frame
15 by means of an adhesive.

[FUNCTIONS]

The resin-encapsulated semiconductor device in
accordance with the present invention can meet a demand for
20 an increase in the number of terminals and has a
miniaturized structure and thus an increased mounting
efficiency. At this time, in the resin-encapsulated
semiconductor device, as the removal process of the dam
bars by press working or the forming process of the outer
25 leads as in the case of using a mono-layered lead frame

shown in Fig. 11b is not required, there is no problem such as bending or coplanarity of the outer leads due to this process. More particularly, the use of a multipinned lead frame shaped in a manner that inner leads have a thickness smaller than that of the lead frame blank by a two-step etching process, that is, the inner leads are arranged at a fine pitch, can meet a demand for an increase in the pin number of the semiconductor device. Moreover, as the resin-encapsulated semiconductor device is fabricated in such a manner that it is equal to that of a semiconductor chip in size, it can be miniaturized. In addition, each of the inner leads fabricated by a two-step etching process as shown Fig. 8 has a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead. Thus, the second surface of each inner lead is flat, and is excellent in wire-bonding property. Moreover, as the first surface of each inner lead is flat and the third and fourth surfaces of the inner leads each have a concave shape depressed toward the inside of the inner

(11) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(13) 特許出願公開番号

特開平 9 - 8 2 0 7

(43) 公開日 平成 9 年 (1997) 1 月 1 0 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 23/50			H01L 23/50	3
21/60	301		21/60	301
23/28			23/28	A

審査請求 実審請求 請求項の全 6 F D (全 15 頁)

(21) 出願番号 特願平 7 - 1 7 6 8 9 8
(22) 出願日 平成 7 年 (1995) 6 月 2 1 日

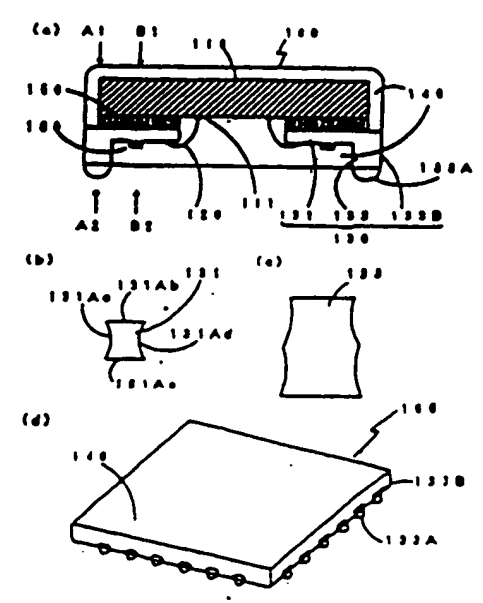
(71) 出願人 000002897
大日本印刷株式会社
東京都新宿区市谷加賀町一丁目 1 番 1 号
(72) 発明者 山田 隆一
東京都新宿区市谷加賀町一丁目 1 番 1 号
大日本印刷株式会社内
(72) 発明者 佐々木 賢
東京都新宿区市谷加賀町一丁目 1 番 1 号
大日本印刷株式会社内
(74) 代理人 弁護士 小西 洋典

(34) 【発明の名称】 樹脂封止型半導体装置

(57) 【要約】

【目的】 リードフレームを用いた樹脂封止型半導体装置であって、多端子化に対応できて実装性の良いものを提供する。

【構成】 2 段エッチング加工によりインターリード部の厚さがリードフレーム材料の厚さよりも厚肉に外部加工されたリードフレームを用い、且つ、外部寸法をほぼ半導体素子に合わせた、封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、内部のインターリード部と、該インターリード部に対し、インターリード部の外部側の面においてインターリードに反する方向で、半導体素子搭載面と反対側に一体的に突出した、外部接続と接続するための端子部を有するもので、該端子部の外部側の面に半導体からなる端子部を設け、端子部を封止用樹脂部から突出させている。



【特許請求の範囲】

【請求項 1】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外側部とを有するものの形状の電子柱とを有し、且つ、電子柱はインターリードの外側部においてインターリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、電子柱の先端部に半田等からなる電子部を設け、電子部を封止用樹脂部から露出させ、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インターリード部に絶縁性材料を介して搭載されており、半導体素子の電極部はインターリード間に設けられ、半導体素子搭載側とは反対側のインターリード先端部とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 2】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外側部とを有するものの形状の電子柱とを有し、且つ、電子柱はインターリードの外側部においてインターリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、電子柱の先端の一部を封止用樹脂部から露出させて電子部とし、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部を有する面にて、インターリード部に絶縁性材料を介して搭載されており、半導体素子の電極部はインターリード間に設けられ、半導体素子搭載側とは反対側のインターリード先端部とワイヤにて電気的に接続されていることを特徴とする樹脂封止型半導体装置。

【請求項 3】 請求項 1 ないし 2 において、リードフレームはダイパッドを有しており、半導体素子はその電極部をインターリード部とダイパッド部との間に設けていることを特徴とする樹脂封止型半導体装置。

【請求項 4】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材

よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外側部とを有するものの形状の電子柱とを有し、且つ、電子柱はインターリードの外側部においてインターリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、電子柱の先端部に半田等からなる電子部を設け、電子部を封止用樹脂部から露出させ、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインターリード部に搭載され、半導体素子とインターリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項 5】 2 段エッチング加工によりインターリードの厚さがリードフレーム素材の厚さよりも薄肉に形成加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止した CSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも薄肉のインターリードと、該インターリードに一体的に連結したリードフレーム素材と同じ厚さの外側部とを有するものの形状の電子柱とを有し、且つ、電子柱はインターリードの外側部においてインターリードに対して厚み方向に直交し、かつ半導体素子搭載側と反対側に設けられており、電子柱の先端の一部を封止用樹脂部から露出させて電子部とし、電子柱の外側部の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインターリード部に搭載され、半導体素子とインターリード部とが電気的に接続していることを特徴とする樹脂封止型半導体装置。

【請求項 6】 請求項 1 ないし 5 において、インターリードは、前記電柱が延在する第 1 面、第 2 面、第 3 面、第 4 面の 4 面を有しており、かつ第 1 面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第 2 面に向を合っており、第 3 面、第 4 面はインターリードの内側に向かって凹んだ形状に形成されていることを特徴とする樹脂封止型半導体装置。

【発明の効果】

【0001】

【従来の技術】 本発明は、半導体装置の多端子化に対応でき、且つ、実装性の良い小型化が可能な樹脂封止型半導体装置に関するもので、特に、エッチング加工により、インターリード部をリードフレーム素材の厚さよりも薄肉に形成加工したリードフレームを用いた樹脂封止型半導体装置に関する。

【0002】

【従来の技術】 図 1 より用いられている樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）は、一面に図 1 (a) に示されるような構造であり、半導体素子 1120 を搭載するダイパッド部 1111 と

図10の図柄との電気的接続を行うためのアウターリード1113、アウターリード部1113に一体となったインナーリード部1112、インナーリード部1112の先端部と半導体素子1120の電極パッド1121とを電気的に接続するためのワイヤ1130、半導体素子1120を封止して外界からの応力、汚染から守る樹脂1140等からなっており、半導体素子1120をリードフレームのダイパッド1111部等に搭載した後に、樹脂1140により封止してパッケージとしたもので、半導体素子1120の電極パッド1121に対応できる数のインナーリード1112を必要とするものである。そして、このような樹脂封止型の半導体装置の組立部材として用いられる（参照）リードフレームは、一般には図11(b)に示すような構造のもので、半導体素子を搭載するためのダイパッド1111と、ダイパッド1111の周囲に設けられた半導体素子と接続するためのインナーリード1112、インナーリード1112に連続して外部図柄との接続を行うためのアウターリード1113、樹脂封止する際のゲムとなるゲムバー1114、リードフレーム1110全体を支持する（参照）部1115等を備えており、通常、コパル、42合金（42%ニッケル-炭素合金）、銅系合金のような導電性に優れた合金を用い、プレス性もしくはエッチング法により形成されていた。

【0003】このようなリードフレームを利用した樹脂封止型の半導体装置（プラスチックリードフレームパッケージ）においても、電子装置の高度小型化の要請と半導体素子の高集積化に伴い、小型薄型化かつ電極素子の増大化が要請で、その結果、樹脂封止型半導体装置、特にQFP（Quad Flat Package）及びTQFP（Thin Quad Flat Package）等では、リードの多ピン化が著しくなってきた。上記の半導体装置に用いられるリードフレームは、従来ものはフォトリソグラフィ技術を用いたエッチング加工方法により作製され、従来でないものはプレスによる加工方法により作製されるのが一般的であったが、このような半導体装置の多ピン化に伴い、リードフレームにおいても、インナーリード部先端部の微細化が進み、要請は、従来ものに対しては、プレスによる加工によらず、リードフレーム部材の板厚が0.25mm程度のものを用い、エッチング加工で対応してきた。このエッチング加工方法の工程について以下、図10に基づいて簡単に述べておく。先ず、銅合金もしくは42%ニッケル-炭素合金からなる厚さ0.25mm程度の薄板（リードフレーム部材1010）を十分に伸（図10(a)）した後、黒クロム酸カリウムを感光剤とした水溶性光ゼインレジスト等のフォトレジスト1020を露光装置の露光部にて均一に塗布する。（図10(b)）次いで、所定のパターンが形成されたマスクを介して露光装置でレジスト部を露光した後、所定の現像液で

感光性レジストを現像して（図10(c)）、レジストパターン1030を形成し、現像液、洗浄液等を必要に応じて行い、塩化銅二酸水溶液を主たる成分とするエッチング液にて、スプレーにて該薄板（リードフレーム部材1010）に吹き付け所定の凹形状にエッチングし、貫通させる。（図10(d)）

次いで、レジスト部を剥離処理（図10(e)）、洗浄後、所定のリードフレームを得て、エッチング加工工程を終了する。このように、エッチング加工等によって作製されたリードフレームは、更に、所定のエリアに銅メッキ等が施される。次いで、洗浄、乾燥等の処理を経て、インナーリード部を固定用の接着剤付金ボリイミドテープにてテーピング処理したり、必要に応じて所定の金タブ吊りバーを曲げ加工し、ダイパッド部をダウンセットする処理を行う。しかし、エッチング加工方法においては、エッチング液による腐蝕は加工面の板厚方向のみに板厚（面）方向にも進むため、その微細化加工にも腐蝕があるのが一般的で、図10に示すように、リードフレーム部材の凹部からエッチングするため、ラインアンドスペース形状の場合、ライン間隔の加工精度は、板厚の50~100%程度とされている。又、リードフレームの加工工程のアウターリードの精度を考えた場合、一般的には、その板厚は約0.125mm以上必要とされている。このため、図10に示すようなエッチング加工方法の場合、リードフレームの板厚を0.15mm~0.125mm程度まで薄くすることにより、ワイヤボンディングのための必要な平坦化70~80%程度し、0.165mmピッチ程度の微細なインナーリード部先端のエッチングによる加工を達成してきたが、これが限度とされていた。

【0004】しかしながら、近年、樹脂封止型半導体装置は、小パッケージでは、電極素子であるインナーリードのピッチが0.165mmピッチを経て、既に0.15~0.13mmピッチまでの微細ピッチ化要求が出てきた事と、エッチング加工において、リード部材の板厚を用いた場合には、アセンブリ工程や実装工程といった後工程におけるアウターリードの精度確保が難しいという点から、既にリード部材の板厚を薄くしてエッチング加工を行う方法にも限界が出てきた。

【0005】これに対応する方法として、アウターリードの精度を確保したまま微細化を行う方法で、インナーリード部分をハーフエッチングもしくはプレスにより薄くしてエッチング加工を行う方法が提案されている。しかし、プレスにより薄くしてエッチング加工をおこなう場合には、後工程における精度が不足する（例えば、めっきエリアの平坦性）、ボンディング、モールドイング時のクランプに必要なインナーリードの平坦性、寸法精度が確保されない、銅板を2枚折らなければならぬ等製造工程が複雑になる、等問題点が多くある。そして、インナーリード部分をハーフエッチングにより薄く

してエッチング加工を行う方法の場合にも、製造を2段階行なわなければならない。製造工程が増えるという問題があり、いずれも実用化には、未だ至っていないのが現状である。

[0006]

[発明が解決しようとする課題] 一方、電子回路の高密度化の時代に伴い、半導体パッケージにおいても、小型で実装性が高いものが求められるようになってきて、外形寸法をほぼ半導体素子に合わせて、封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体素子と云われるパッケージが提案されるようになってきた。CSPを使う恩恵を以下に簡単に述べる。

①第一にピン数が増えたら、QFP (Quad Flat Package) やBGA (Ball Grid Array) に比べ実装面積を格段に小さくできる。

②第二に、パッケージ寸法が増えたらQFPやBGAよりもピン数を多くとれる。QFPについては、パッケージや基板の反りを考え、実用的に使える寸法は最大40mm角であり、アウターリードピッチが0.5mmピッチのQFPでは304ピンが限界となる。2つにピン数を増やすためには、0.4mmピッチや0.3mmピッチが必要となるが、この場合には、ユーザが実装性の高い実装（一括リフロー・ハンダ付け）を行うのが難しくなってくる。一般にはQFPの製造に関してはアウターリードピッチが0.3mmピッチ以下ではコストを上げずに製造するのは困難と云われている。BGAは、上記QFPの限界を打破するものとして注目される。そのため、外部端子を二次元アレイ状にし、外部端子ピッチを広くすることで実装の負担を軽減しようとするものである。BGAの場合、外部端子が300ピンを超える領域でも、従来の一括リフロー・ハンダ付けではあるが、30mm~40mm角になると、基板歪みによって外部端子のハンダ・パンプにクラックが入るため、600ピン~700ピン、最大でも1000ピンが実用の限界と一般には言われている。外部端子をパッケージ裏面に二次元アレイに配したCSPの場合には、BGAのコンセプトを引継ぎ、且つ、アレイ状の端子ピッチを増やすことが可能となる。また、BGA同様、一括リフロー・ハンダ付けが可能である。

③第三に、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝達遅延時間が短くなる。LSIクロック周波数が100MHzを超えるようになると、QFPではパッケージ内の配線が問題になってしまう。内部配線長を短くしたCSPの方が有利である。しかしながら、CSPは裏面では配線するものの、多端子化に対しては、端子のピッチをさらに狭めることが必要で、この点での限界がある。本発明は、このような状況のもと、リードフレームを用いた樹脂封止型半導体素子において、多端子化に対応して、且つ、一層の小型化に対応できるように半導体素子を

しようとするものである。

[0007]

[課題を解決するための手段] 本発明の樹脂封止型半導体素子は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部端子とを有し、且つ、端子はインナーリードの外部側においてインナーリードに対して厚み方向に屈曲し、かつ半導体素子搭載面と反対側に設けられており、端子は先端部に平坦部からなる端子部を設け、端子部を封止用樹脂部から露出させて、端子は外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部（パッド）を有する面にて、インナーリード部に絶縁性層材を介して搭載されており、半導体素子の電極部（パッド）はインナーリード間に設けられ、半導体素子搭載面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。また、本発明の樹脂封止型半導体素子は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体素子であって、前記リードフレームは、リードフレーム素材よりも薄肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外部端子とを有し、且つ、端子はインナーリードの外部側においてインナーリードに対して厚み方向に屈曲し、かつ半導体素子搭載面と反対側に設けられており、端子は先端の一部を封止用樹脂部から露出させて端子部とし、端子は外部側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の電極部（パッド）を有する面にて、インナーリード部に絶縁性層材を介して搭載されており、半導体素子の電極部（パッド）はインナーリード間に設けられ、半導体素子搭載面とは反対側のインナーリード先端部とワイヤにて電気的に接続されていることを特徴とするものである。そして上記において、図1ないし図2において、リードフレームはダイパッドを有しており、半導体素子はその電極部（パッド）をインナーリード部とダイパッド部との間に設けていることを特徴とするものである。また、本発明の樹脂封止型半導体素子は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも薄肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて

封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも厚肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外側回路とを形成するための形状の端子柱とを有し、且つ、端子柱はインナーリードの外側側においてインナーリードに対して厚み方向に直立し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端面に平坦部からなる端子部を設け、端子部を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とするものである。また、本発明の樹脂封止型半導体装置は、2段エッチング加工によりインナーリードの厚さがリードフレーム素材の厚さよりも厚肉に外形加工されたリードフレームを用い、外形寸法をほぼ半導体素子に合わせて封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体装置であって、前記リードフレームは、リードフレーム素材よりも厚肉のインナーリードと、該インナーリードに一体的に連結したリードフレーム素材と同じ厚さの外側回路とを形成するための形状の端子柱とを有し、且つ、端子柱はインナーリードの外側側においてインナーリードに対して厚み方向に直立し、かつ半導体素子搭載側と反対側に設けられており、端子柱の先端の一端を封止用樹脂部から露出させて端子部とし、端子柱の外側側の側面を封止用樹脂部から露出させており、半導体素子は、半導体素子の一面に設けられたパンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることを特徴とするものである。そして上記において、インナーリードは、断面形状が略正方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向を合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることを特徴とするものである。尚、ここでは、CSP (Chip Size Package) 型の半導体装置とは、半導体素子の厚み方向を除いた、X、Y方向の外形寸法にほぼ近い形で封止用樹脂により樹脂封止した半導体装置の配件を言うており、本発明の半導体装置は、その中でもリードフレームを用いたものである。また、上記において、端子柱の先端面に平坦部からなる端子部を設け、端子部を封止用樹脂部から露出させる場合、平坦部からなる端子部は封止用樹脂部から露出したものが一般的であるが、必ずしも露出する必要はない。また、必要に応じて、封止用樹脂部から露出された端子柱の外側側の側面部分を用意材料等を介して保護して置いてもよい。

[0008]

【作用】本発明の樹脂封止型半導体装置は、上記のように構成することにより、リードフレームを用いた樹脂封止型半導体装置において、多端化に対応でき、且つ、実装性の高い小型の半導体装置の提供を可能とするものであり、同時に、従来の図11(b)に示す従来のリードフレームを用いた場合のように、ダムバーのプレスによる除金工程や、アウターリードのフォーミング工程を必要としないため、これらの工程に起因して発生していたアウターリードのスキューの問題やアウターリードの平坦性(コプラナリティー)の問題を全く無くすることが出来る半導体装置の提供を可能とするものである。詳しくは、2段エッチング加工によりインナーリード部の厚さが素材の厚さよりも厚肉に外形加工された、即ち、インナーリードを樹脂部に加工された多ピン(リードフレーム)を用いていることにより、半導体装置の多端化に対応出来るものとしており、且つ、外形寸法をほぼ半導体素子に合わせて、封止用樹脂により樹脂封止したCSP (Chip Size Package) 型の半導体装置としており、小型化して作製することを可能としている。更に、前述する、図8に示す2段エッチングにより作製された、インナーリードは、断面形状が略正方形で第1面、第2面、第3面、第4面の4面を有しており、かつ第1面はリードフレーム素材と同じ厚さの他の部分の一方の面と同一平面上にあって第2面に向を合っており、第3面、第4面はインナーリードの内側に向かって凹んだ形状に形成されていることにより、インナーリード部の第2面は平坦性を確保でき、ワイヤボンディング性の高いものとしている。また第1面も平坦面であり、第3面、第4面はインナーリード側に凹んであるためインナーリード部は、安定しており、且つ、ワイヤボンディングの歩留率を広くとれる。

[0009]また、本発明の樹脂封止型半導体装置は、半導体素子が、半導体素子の一面に設けられたパンプを介してインナーリード部に搭載され、半導体素子とインナーリード部とが電気的に接続していることにより、ワイヤボンディングの必要がなく、一層したボンディングを可能としている。

[0010]

【実施例】本発明の樹脂封止型半導体装置の実施例を図10によって説明する。先ず、実施例1を図11に示し、説明する。図11(a)は実施例1の樹脂封止型半導体装置の断面図であり、図11(b)(イ)は図11(a)のA1-A2におけるインナーリード部の断面図で、図11(b)(ロ)は図11(a)のB1-B2における端子柱部の断面図である。図11中、100は半導体装置、110は半導体素子、111は電極部(パッド)、120はワイヤ、130はリードフレーム、131はインナーリード、131Aaは第1面、131Abは第2面、131Acは第3面、131Adは第4面、131Eは端子柱、

133Aは端子部、133Bは側面、140は封止用樹脂、150は絶縁層材料、160は導電用テープである。本実施例1の樹脂封止型半導体装置においては、半導体素子110は、半導体素子の電極部(パッド)111側の面と電極部(パッド)111がインナーリード間に収まるようにして、インナーリード131に絶縁層材料150を介して接合固定されている。そして、電極部111は、ワイヤ120にて、インナーリード部131の先端の第2面131Abと電気的に接続されている。本実施例1の半導体装置100と外部回路との電気的な接続は、端子部133先端部に設けられた半導体の半田からなる端子部133Aを介してプリント基板等へ接合されることにより行われる。実施例1の半導体装置100に使用するリードフレーム130は、42%ニッケル-銀合金を素材としたもので、図6(a)に示すような形状をしたエッチングにより外加工されたリードフレームを用いたものである。端子部133他の部分より溝内に形成されたインナーリード131をもつ、ダムバー136は樹脂封止する際のダムとなる。図6(a)に示すような形状をしたエッチングにより外加工されたリードフレームを、本実施例においては用いたが、インナーリード部131と端子部133以外は6角状に不要なものであるから、特にこの形状に限定はされない。インナーリード部131の厚さは40μm、インナーリード部131以外の厚さは0.15mmでリードフレーム材料の板厚のままである。また、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多素子化に対応できるものとしている。インナーリード部131の第2面131Abは半導体ワイヤボンディングし易い形状となっており、第3面131Ac、第4面131Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強度的に強いものとしている。図6(b)は図6(a)のC1-C2における断面を示している。導電用テープ160はインナーリード部にヨレが発生しないように固定しておくものである。尚、インナーリードの長さが短い場合には図6(a)に示す形状のリードフレームをエッチング加工にして作成し、これに接合する方法により半導体素子を接合して樹脂封止でき、インナーリードが長く、インナーリードにヨレを生じ易い場合には図6(a)に示す形状にエッチング加工することは出来ないため、図6(c)(イ)に示すようにインナーリード先端部を導電部131Bにて固定した状態でエッチング加工した後、インナーリード131部を導電テープ160で固定し(図6(c)(ロ))、次いでプレスにて、半導体装置100の面には不要の導電部131Bを除去し、この状態で半導体素子を接合して半導体装置を作成する。(図6(c)(ハ))

図6(c)(ロ)中E1-E2にてプレスにて切断する

インを示している。

(0011)次に本実施例1の樹脂封止型半導体装置の製造方法を図5に基づいて簡単に説明する。まず、接合するエッチング加工にて作成され、不要部分をカッティング処理等で除去されたもの、インナーリード先端部が図5で上になるようにして用意した、尚、インナーリード131の長さが長い場合には、必要に応じて、インナーリードの先端部がポリイミドテープによりテーピング固定されているものを用意する。次いで半導体素子110の電極部111側面を図5で下にして、インナーリード131間に、絶縁層材料150を介してインナーリード131に接合固定した。(図5(a))

半導体素子110をリードフレーム130に接合固定した後、リードフレーム側130を半導体の上にして、半導体素子110の電極部111とインナーリード部131の先端部とをワイヤ120にてボンディング接続した。(図5(b))

次いで、通常の封止用樹脂140で樹脂封止を行った。(図5(c))

樹脂による封止は所定の型を用いて行うが、半導体素子110のサイズで、且つ、リードフレームの端子部の外側の面が若干部から外部へ突出した状態で封止した。次いで、不要なリードフレーム130の封止用樹脂140部から突出している部分をプレスにて切断し、端子部133を形成するとともに端子部133の側面133Bを形成した。(図5(d))

この時、切断されるリードフレームのラインには、切斷がし易いように、切り欠きを設けておくとも良い。特に、これらの切り欠きにはエッチング時に、併せて加工しておけば手間が省ける。図6に示すリードフレーム110のダムバー136、フレーム部137等が除去される。この後、リードフレームの端子部の外側の面に半田からなる端子部133Aを作成して半導体装置を作成した。(図5(e))

この半田からなる端子部133Aは外部回路基板と接合する際に、接合し易いように設けてあるが特に設けなくても良い。

(0012)本発明の半導体装置に用いられるリードフレームの製造方法を以下、図にそって説明する。図8は、本実施例1の樹脂封止型半導体装置に用いられたリードフレームの製造方法を説明するための、インナーリード先端部を含む図における工程断面図であり、ここで作成されるリードフレームを示す断面図である図6(a)のD1-D2部の断面図における製造工程図である。図8中、810はリードフレーム材料、820A、820Bはレジストパターン、830は第一の開口部、840は第二の開口部、850は第一の凹部、860は第二の凹部、870は半導体装置、880にエッチング処理後、131Aはインナーリード先端部、131Abは

インナーリードの第2面を示す。先ず、42℃〜45℃の合金からなり、厚みが0.15mmのリードフレーム素材810の両面に、重クロム酸カリウムを感光剤とした水溶性カゼインレジストを塗布した後、所定のパターンを用いて、所定形状の第一の開口部830、第二の開口部840をもつレジストパターン820A、820Bを形成した。(図8(a))

第一の開口部830は、後のエッチング加工においてリードフレーム素材810をこの開口部からベタ状にリードフレーム素材よりも厚肉に形成するためのもの、レジストの第二の開口部840は、インナーリード先端部の形状を形成するためのものである。第一の開口部830は、少なくともリードフレーム810のインナーリード先端部形成領域を含むが、後工程において、チーピングの工程や、リードフレームを固定するクランプ工程で、ベタ状に形成され部分的に薄くなった部分との位置が形成になる場合があるので、エッチングを行うエリアはインナーリード先端部の形成加工部分だけにせざることを必要とする。次いで、温度57℃、比重4.8ボーマの塩化第二鉄溶液を用いて、スプレー圧2.5kg/cm²にて、レジストパターンが形成されたリードフレーム素材810の両面をエッチングし、ベタ状(平坦状)に形成された第一の凹部850の底面がリードフレーム部材の約2/3程度に達した時点でエッチングを止めた。(図8(b))

上記第1回目のエッチングにおいては、リードフレーム素材810の両面から同時にエッチングを行ったが、必ずしも両面から同時にエッチングする必要はない。少なくとも、インナーリード先端部形状を形成するための、所定形状の開口部をもつレジストパターン820Bが形成された面側から凹部底面によるエッチング加工を行い、形成されたインナーリード先端部形成領域において、所定量エッチング加工し止めることができれば良い。本実施例のように、第1回目のエッチングにおいてリードフレーム素材810の両面から同時にエッチングする場合、両面からエッチングすることにより、後述する第2回目のエッチング時間を短縮するため、レジストパターン820B側からのみの片面エッチングの場合と比べ、第1回目エッチングと第2回目エッチングのトータル時間が短縮される。次いで、第一の開口部830側の形成された第一の凹部850にエッチング抵抗層880としての耐エッチング性のあるホットメルト型ワックス(ブ・インクテック社製の抵抗ワックス、型番MR-WB6)を、ダイコータを用いて、塗布し、ベタ状(平坦状)に形成された第一の凹部850に埋め込んだ。レジストパターン820B上にもエッチング抵抗層880に塗布された状態とした。(図8(c))

エッチング抵抗層880を、レジストパターン820B上全面に塗布する必要はないが、第一の凹部850を含む一部位のみを塗布することにより、図8(c)に示

すように、第一の凹部850とともに、第一の開口部830側全面にエッチング抵抗層880を塗布した。本実施例で使用したエッチング抵抗層880は、アルカリ溶解型のワックスであるが、基本的にエッチング液に耐性があり、エッチング時における凹部の底面性のあるものが、好ましく、特に、上記ワックスに限定されず、UV硬化型のものでも良い。このようにエッチング抵抗層880をインナーリード先端部の形状を形成するためのパターンが形成された面側の底面された第一の凹部850に埋め込むことにより、後工程でのエッチング時に第一の凹部850が腐蝕されて大きくならないようにしているとともに、高抵抗なエッチング加工に耐える機械的な強度を有しており、スプレー圧を高く(2.5kg/cm²以上)とすることができ、これによりエッチングが速く方向に進行しやすくなる。この後、第2回目エッチングを行い、ベタ状(平坦状)に形成された第一の凹部850底面側からリードフレーム素材810をエッチングし、貫通させ、インナーリード先端部890を形成した。(図8(d))

第1回目のエッチング加工にて作製された、リードフレーム面に平行なエッチング形成面は平坦であるが、この面を挟む2面はインナーリード側にへこんだ凹状である。次いで、後述、エッチング抵抗層880の除去、レジスト膜(レジストパターン820A、820B)の除去を行い、インナーリード先端部890が露出加工された図6(a)に示すリードフレームを得た。エッチング抵抗層880とレジスト膜(レジストパターン820A、820B)の除去は水溶性ナトリウム水溶液により溶解除去した。

(0013) 尚、上記のように、エッチングを2段階にわけて行うエッチング加工方法を、一般には2段エッチング加工方法と称しており、特に、露出加工に有利な加工方法である。本発明に用いた図6(a)、図6(b)に示す、リードフレーム130の製造においては、2段エッチング加工方法と、パターン形状を工夫することにより部分的にリードフレーム素材を薄くしながら外形加工する方法とが併行して行われている。上記の方法によるインナーリード先端部131Aの露出加工は、第二の凹部860の形状と、最終的に得られるインナーリード先端部の長さLに左右されるもので、例えば、図8(e)に示す、平坦部W1を50μmまで薄くすると、図8(e)に示す、平坦部W1を100μmとして、インナーリード先端部ピッチpが0.15mmまで露出加工可能となる。図8(e)に示す、平坦部W1を70μm程度とすると、インナーリード先端部ピッチpが0.12mm程度まで露出加工ができるが、図8(e)に示す、平坦部W1のとり方次第ではインナーリード先端部ピッチpは更に狭いピッチまで作製が可能となる。

(0014) このようにエッチング加工にて、インナーリードの長さが短い場合、露出工程でインナーリー

ドのヨレが発生しにくい場合には直接図 6 (a) に示す形状のリードフレームを得るが、インナーリードの長さが実例 1 の場合には大きい場合にはインナーリードにヨレが発生し易い。図 6 (c) (イ) に示すように、インナーリード先端部から連結部 131B を抜けてインナーリード先端部同士を繋げた形状にして形成したものをエッチング加工にて得て、この後、半導体装置には不必要な連結部 131B をプレス等により切断して図 6 (a) に示す形状を得る。図 7 (a)、図 7 (b) に示すダイパッド 235 を有するリードフレーム 230 を作成する場合、図 7 (c) (イ) に示すように、インナーリード 231 の先端に連結部 231B を付けてダイパッドと直接繋がった形状にエッチングにより形成加工した後に、プレス等により切断してもよい。尚、図 7 (b) は図 7 (a) の C11-C21 における断面図で、図 7 (c) 中 E11-E21 は切断ラインを示している。そして、めっきした後に切断除去すると、めっきの層がインナーリードをのっせる場合には、めっきの層がなくなり品質のリードフレームが得られる。尚、前述のように、図 6 (c) に示すものを切断し、図 6 (a) に示す形状にする際には、図 6 (c) (ロ) に示すように、通常、接続のための接続用テープ 160 (ポリイミドテープ) を使用する。図 7 (c) に示すものを切断する場合も同様である。図 6 (c) (ロ) の状態で、プレス等により連結部 131B を切断するが、半導体装置は、テープをつけた状態で、リードフレームに搭載され、そのまま接続禁止される。

[0015] 本実例 1 の半導体装置に用いられたリードフレームのインナーリード先端部 131A の断面形状は、図 9 (イ) に示すようになっており、エッチング平坦部 131A の幅 W1 は反対側の面の幅 W2 より若干大きくなっており、W1、W2 (約 100 μm) としこの部分の幅を両面中部の幅 W よりも大きくしている。このようにインナーリード先端部の断面は広くなった断面形状であるため、図 8 (ロ) に示すように、どちらの面を用いても半導体装置 (図示せず) とインナーリード先端部 131A とワイヤ 120A、120B による接続 (ボンディング) がし易いものとなっているが、本実例の場合にはエッチング面 (図 9 (ロ) (a)) をボンディング面としている。図 9 (ロ) (a) はエッチング加工による平坦面、131Aa はリードフレーム材料面、121A、121B はのっせ部である。エッチング平坦面がアラビの煎い面であるため、図 9 (ロ) (a) の場合は、特に接続 (ボンディング) 適性が得られる。図 9 (ハ) は図 10 に示す二方法にて作成されたリードフレームのインナーリード先端部 831C と半導体装置 (図示せず) との接続 (ボンディング) を示しているが、この場合インナーリード先端部 831C の断面は平坦面であるが、この部分の幅を両面の幅に比べて大きくとれない。また幅としリードフレーム材料面

である。接続 (ボンディング) 適性は本実例のエッチング平坦面より劣る。図 9 (ニ) にプレスによりインナーリード先端部を平坦化した後にエッチング加工によりインナーリード先端部 931D、931E を加工したもの、半導体装置 (図示せず) との接続 (ボンディング) を示したものであるが、この場合はプレス面が図 9 (ニ) に示すように平坦になっていないため、どちらの面を用いて接続 (ボンディング) しても、図 9 (ニ) の (a)、(b) に示すように接続 (ボンディング) の際に安定性が悪く品質的にも問題となる場合が多い。

[0016] 次に本実例 1 の接続禁止型半導体装置の断面形状を挙げる。図 2 (a) は本実例 1 の接続禁止型半導体装置の断面形状の断面図であり、図 2 (c) は本実例 1 の半導体装置の断面形状を示すもので、図 2 (c) (ロ) は下 (底) 側から見た図で、図 2 (c) (イ) は正面図で、図 2 (b) は図 1 (a) の A1-A2 に対応する位置での電子線の断面図である。本実例 1 の半導体装置は、本実例 1 の半導体装置とは電子部 133A が異なるので、電子部は電子部 133 の先端部を部 140 から突出したようにしており、且つ、先端部の断面には部 133c が付けられており、部 133c を付けて断面には半導体装置 100A は、電子部 133A 以外に、本実例 1 の半導体装置と同じである。

[0017] 次に、本実例 2 の接続禁止型半導体装置を挙げる。図 3 (a) は本実例 2 の接続禁止型半導体装置の断面図であり、図 3 (b) は図 3 (a) の A3-A4 におけるインナーリード部の断面図で、図 3 (c) (イ) は図 3 (a) の B3-B4 における電子線の断面図である。図 3 中、200 は半導体装置、210 は半導体装置、211 は電極部 (パッド)、220 はワイヤ、230 はリードフレーム、231 はインナーリード、231Aa は第 1 部、231Ab は第 2 部、231Ac は第 3 部、231Ad は第 4 部、233 は電子線部、233A は電子部、233B は制御部、235 はダイパッド、240 は接続用部材、250 は絶縁層部材、250A は部材、260 は接続用テープである。本実例 2 の場合も、本実例 1 と同様、半導体装置 210 は、半導体装置の電極部 (パッド) 211 側の面を電極部 (パッド) 211 がインナーリード 231 に接触する材料 250 を介して固定されており、電極部 211 は、ワイヤ 220 によって、インナーリード 231 の先端の第 2 部 231Ab と電気的に接続されているが、リードフレームにダイパッド 235 を有するもので、半導体装置 210 の電極部 211 はインナーリード部 231 とダイパッド 235 間に付けられている。また、本実例 2 の場合も、本実例 1 と同様、半導体装置 200 と部材との電気的な接続は、電子部 233 先端部に付けられた半導体装置の

らなる端子部233Aを介してプリント基板等へ接続されることにより行われる。本実施例においては、ダイパッド235と半導体素子210を接続する接続部233Aを導電性としており、且つ、ダイパッド235と端子部233とはインナーリード（吊りリード）にて接続されていることにより、半導体素子にて発生した熱をダイパッドを介して外部回路へ放散させることができる。尚、接続部233Aを導電性の接続部と必ずしもする必要はないが、ダイパッド235と端子部233を介してグラウンドラインに接続すると、半導体素子210がノイズに強くならるとともに、ノイズを受けない構造となる。

【0018】実施例2の半導体装置に使用のリードフレーム230も、実施例1にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたものであるが、図7(a)、図7(b)に示すように、ダイパッド235を有する形状をしており、端子部233部分より断面に形成されたインナーリード2331をもつ、インナーリード部2331の厚さは40μm、端子部233の厚さは0.15mmである。そして、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード部2331の第2面2331Abは平坦状態でワイヤボンディングし易い形状となっており、第3面2331Ac、第4面2331Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強制的に狭いものとしている。また、実施例2の製造防止型半導体装置の作製は、実施例1の場合と同様に行う。

【0019】実施例2の製造防止型半導体装置の実例としては、図2に示す実施例1の実例の場合と同様に、端子部233の先端部に第233C（図3(c)）(口)を設け、防止用部材240から、突出させて、端子部の先端部をそのまま端子233Aにしたものが得られる。

【0020】次いで、実施例3の製造防止型半導体装置を説明する。図4(a)は実施例3の製造防止型半導体装置の断面図であり、図3(b)は図4(a)のA5-A6におけるインナーリード部の断面図で、図3(c)(イ)は図3(a)のB5-B6における端子部233の断面図である。図4中、300は半導体装置、310は半導体素子、311はパンプ、330はリードフレーム、331はインナーリード、331Aaは第1面、331Abは第2面、331Acは第3面、331Adは第4面、333は端子部、333Aは端子部、333Bは側面、335はダイパッド、340は防止用部材、360は製造用テープである。本実施例の半導体装置300の場合、実施例1や実施例2の場合と異なり、半導体素子310はパンプ311を有するもので、パンプ311を支持するインナーリード330に固定され、半導体素子310とインナーリード330とを電気的に接続するもの

である。また、本実施例3の場合、実施例1や実施例2の場合と同様に、半導体装置300と外部回路との電気的な接続は、端子部333先端部に設けられた半導体素子333Aを介してプリント基板等へ接続されることにより行われる。

【0021】実施例3の半導体装置に使用のリードフレーム330も、実施例1や実施例2にて使用のリードフレームと同様に、42%ニッケル-鉄合金を素材としたもので、図6(a)、図6(b)に示すような形状をしており、リードフレーム素材と同じ厚さの端子部333の部分より断面に形成されたインナーリード先端部3331Aをもつ、インナーリード先端部3331Aの厚さは40μm、インナーリード先端部3331A以外の厚さは0.15mmで、強制的には工程に充分耐えるものとなっている。そして、インナーリードピッチは0.12mmと狭いピッチで、半導体装置の多端子化に対応できるものとしている。インナーリード先端部3331Aの第2面3331Abは平坦状態でワイヤボンディングし易い形状となっており、第3面3331Ac、第4面3331Adはインナーリード側へ凹んだ形状をしており、第2ワイヤボンディング面を狭くしても強制的に狭いものとしている。また、実施例3の製造防止型半導体装置の作製も、実施例1の場合と同様に行うが、ダイパッド335に半導体素子を接続し固定した後に、防止用部材にて製造防止する。

【0022】実施例3の製造防止型半導体装置の実例としては、図2に示す実施例1の実例の場合と同様に、端子部333の先端部に第333C（図4(c)）(口)を設け、防止用部材240から、突出させて、端子部の先端部をそのまま端子333Aにしたものが得られる。

【0023】

【発明の効果】本発明の製造防止型半導体装置は、上記のように、リードフレームを用いた製造防止型半導体装置において、多端子化に対応でき、且つ、高信頼性の半導体装置の提供を可能としている。本発明の製造防止型半導体装置は、これと同時に、従来の図11(b)に示すアフターリードを持つリードフレームを用いた場合のようにダムバーのカット工程や、ダムバーの曲げ工程を必要としないため、アフターリードのスキューの問題や、平坦性（コーブラナリティー）の問題を解消している。また、QFPやBGAに比べるとパッケージ内部の配線長が短くなるため、寄生容量が小さくなり伝達遅延時間を短くすることを可能にしている。

（図面の簡単な説明）

（図1）実施例1の製造防止型半導体装置の断面図
（図2）実施例1の製造防止型半導体装置の実例の図
（図3）実施例2の製造防止型半導体装置の断面図
（図4）実施例3の製造防止型半導体装置の断面図
（図5）実施例1の製造防止型半導体装置の作製工程を

説明するための図		レーン (10) 図	
(図6) 本発明の磁気封止型半導体装置に用いられるリードフレームの図		140, 240, 340	
(図7) 本発明の磁気封止型半導体装置に用いられるリードフレームの図		止用断面	
(図8) 本発明の磁気封止型半導体装置に用いられるリードフレームの作製方法を説明するための図		150	
(図9) インナーリード先端部でのワイボンディングの結線状態を示す図		磁性材料	
(図10) 従来のリードフレームのエッチング製造工程を説明するための図	10	160, 260, 360	
(図11) 磁気封止型半導体装置及び本発明のリードフレームの図		磁素テープ	
(符号の説明)		235	
100, 100A, 200, 300		イパッド	
磁気封止型半導体装置		810	
110, 210, 310		ードフレーム素材	
導体素子		820A, 820B	
111, 211, 311		ジストパターン	
板 (パッド)		830	
120, 220, 320		一の開口部	
イヤ		840	
120A, 120B		二の開口部	
イヤ		850	
121A, 121B		一の凹部	
つき部		860	
130, 230, 330		二の凹部	
ードフレーム		870	
131, 231, 331		絶縁部	
ンナーリード		880	
131Aa, 231Aa, 331Aa		ッティング絶縁層	
1面		920C, 920D, 920E	
131Ab, 231Ab, 331Ab		イヤ	
2面		921C, 921D, 921E	
131Ac, 231Ac, 331Ac		つき部	
3面		931D, 931E	
131Ad, 231Ad, 331Ad		ンナーリード先端部	
4面		931Aa	
131B, 231B		ードフレーム素材部	
絶縁		931Ac	
133, 233, 333		イニシング部	
子位		1010	
133A		ードフレーム素材	
子部		1020	
133B		オトレジスト	
部		1030	
133C		ジストパターン	
136, 236		1040	
ムバー		ンナーリード	
137, 237		1110	
		ードフレーム	
		1111	
		イパッド	
		1112	
		ンナーリード	
		1112A	

所

地

部

ダ

リ

レ

製

第

所

第

平

エ

フ

の

イ

リ

コ

リ

フ

レ

イ

リ

ダ

イ

イ

シナーリード先端部

1113

ウターリード

1114

ムバー

1115

レーム部 (抑部)

1120

導体粒子

フ 1121

磁部 (パッド)

ダ 1130

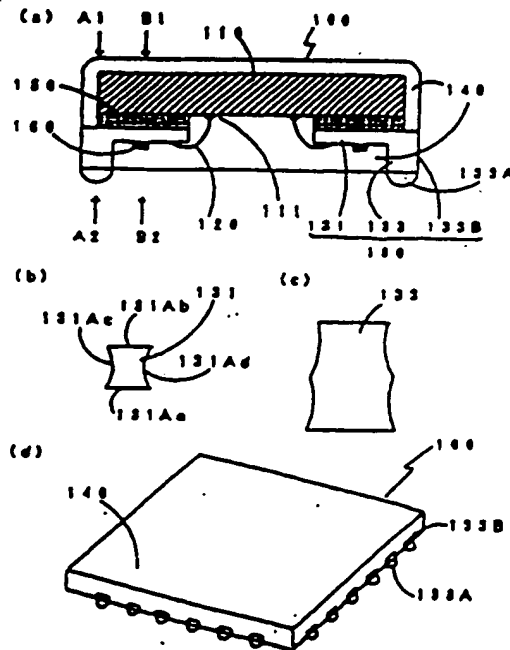
イヤ

フ 1140

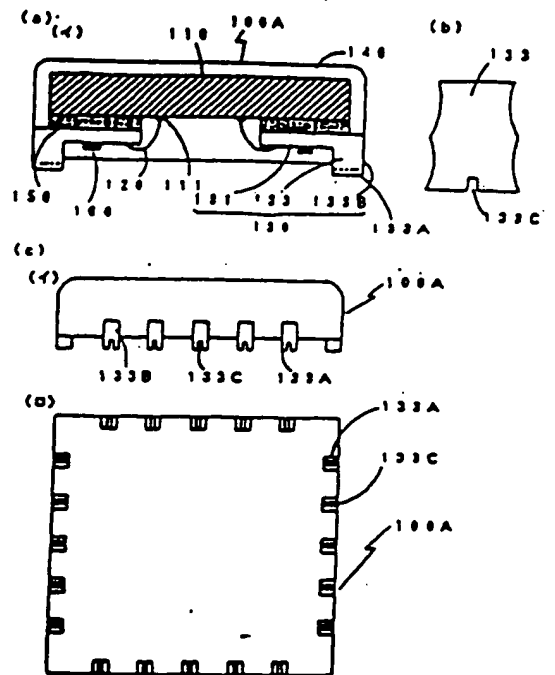
止用断部

※

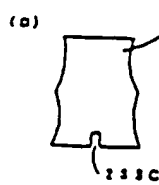
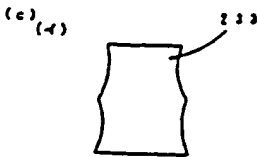
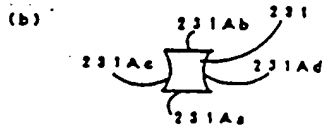
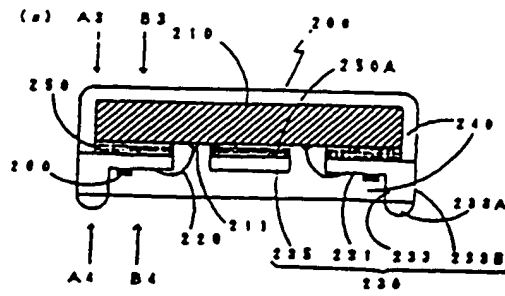
[図 1]



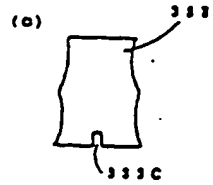
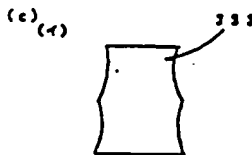
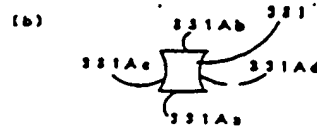
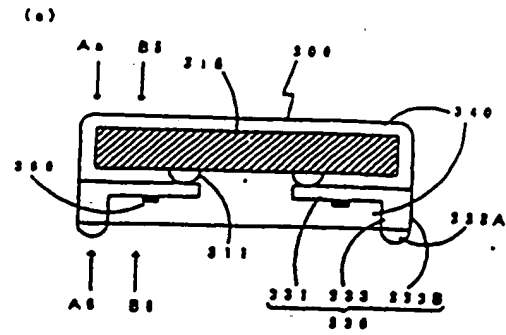
[図 2]



(図 3)



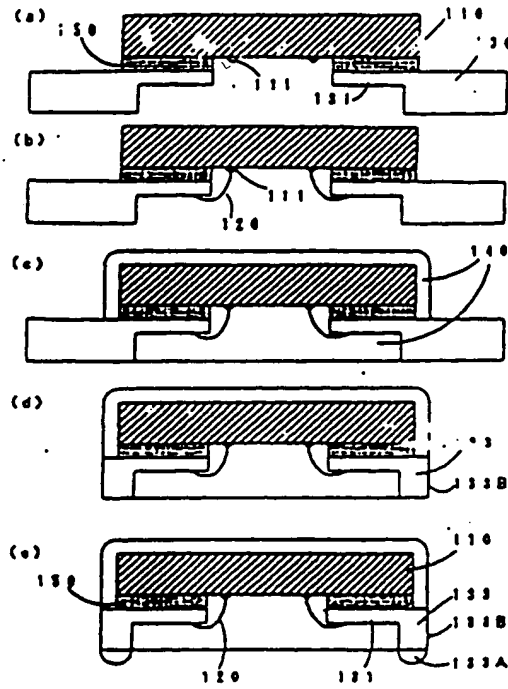
(図 4)



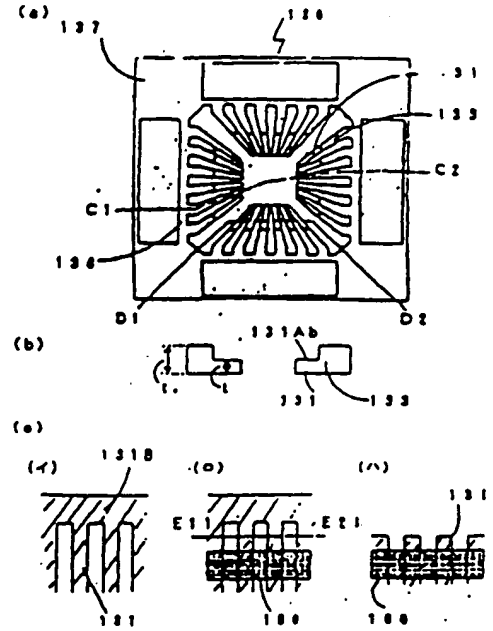
(図 10)



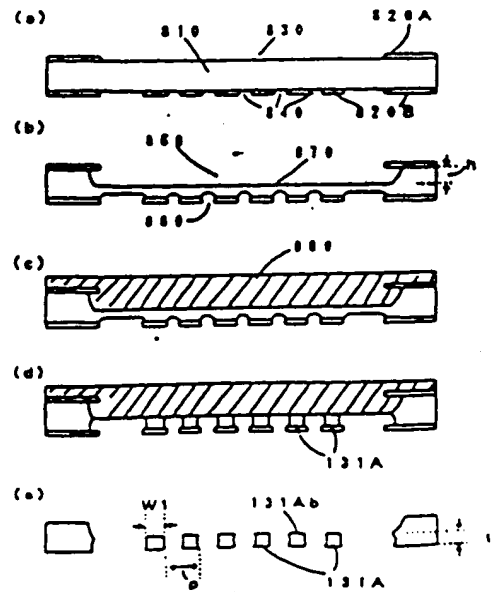
【図5】



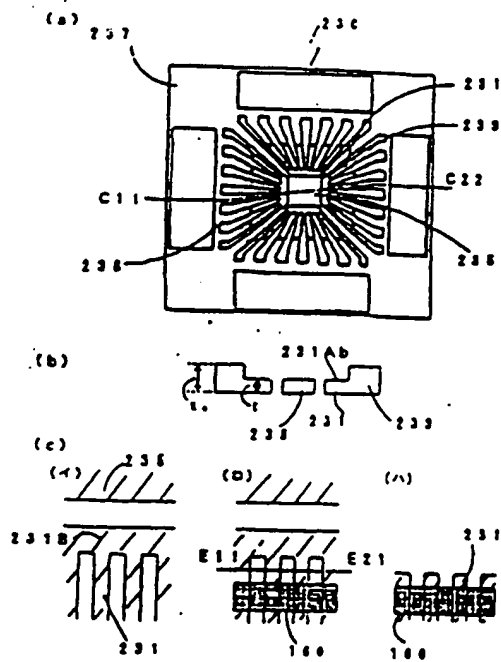
【図6】



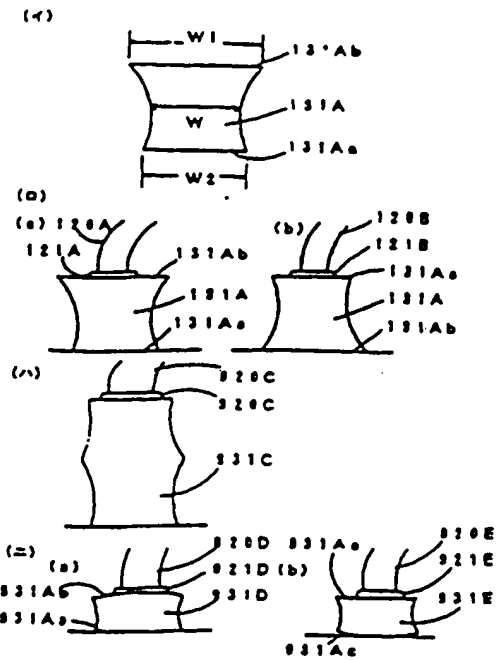
【図8】



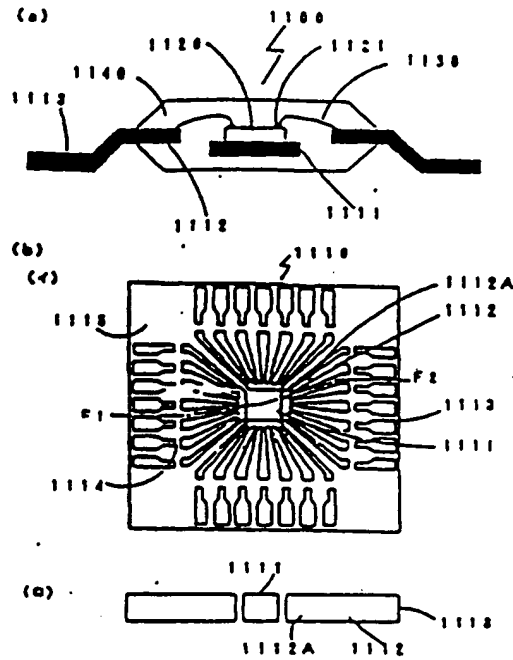
(27)



(६१)



{ 1 1 }



Japanese Patent Laid-Open Publication No. Heisei 9-8207

[TITLE OF THE INVENTION]

RESIN-ENCAPSULATED SEMICONDUCTOR DEVICE

5

[CLAIMS]

1. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

10 inner leads having a thickness smaller than that of a lead frame blank;

15 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

20 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor chip is mounted, the terminal columns

25

having terminal portions arranged on their tips;
the terminal portions being made of solder, etc. and
exposed externally through the encapsulating resin such
that the terminal columns are exposed externally through
5 the encapsulating resin at their outer sides; and
the semiconductor chip at its surface having electrode
portions being mounted on the inner leads by means of an
insulating adhesive, and the electrode portions being
arranged between the inner leads and being electrically
10 connected to tips of the inner leads by wires.

2. A resin-encapsulated CSP type semiconductor
device in which a lead frame shaped in accordance with a
two-step etching process in such a manner that a thickness
15 of inner leads is thinner than that of the lead frame and
which is encapsulated with an encapsulating resin in such a
manner that it is substantially the same as that of a
semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a
20 lead frame blank;

terminal columns having the same thickness as that of
the lead frame blank and being integrally connected to the
inner leads and also being adapted to be electrically
connected to an external circuit;

25 the terminal columns being disposed outside of the

inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of the tips thereof to serve as terminal portions, the terminal columns being exposed externally through the encapsulating resin at the outer sides thereof; and

the semiconductor chip at its surface having electrode portions being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being electrically connected to tips of the inner leads by wires.

3. The resin-encapsulated CSP type semiconductor devices of claim 1 or 2, wherein the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that electrode portions thereof are arranged between the inner leads and the die pad.

4. A resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner

that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

5 terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

10 the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns
15 having terminal portions arranged on their tips;

the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at the outer sides thereof; and

20 the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

25 5. A resin-encapsulated CSP type semiconductor

device in which a lead frame shaped in accordance with a two-step etching process in such a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including:

inner leads having a thickness smaller than that of a lead frame blank;

terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit;

the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to a thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the surface of the lead frame on which the semiconductor device is mounted, the terminal columns being exposed externally through the encapsulating resin at a portion of tips thereof to serve as terminal portions; and

the semiconductor chip being mounted on the inner leads by bumps arranged on one surface thereof, and the semiconductor chip being electrically connected to the inner leads.

6. The resin-encapsulated CSP type semiconductor device of any of claims 1 to 5, wherein the inner leads each have a rectangular cross-sectional shape including four faces respectively provided with a first surface, a second surface, a third surface, and a fourth surface, the first surface being opposite to the second surface and flush with one surface of the remaining portion of the inner lead having the same thickness as that of the lead frame blank, and the third and fourth surfaces each having a concave shape depressed toward the inside of the inner lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a resin-encapsulated semiconductor device capable of meeting the requirement for an increase in the number of terminals and having a miniaturized structure and thus an excellent mounting efficiency. More particularly, the present invention relates to a resin-encapsulated semiconductor device utilizing a lead frame shaped in a manner that an inner lead portion is thinner in a thickness than a lead frame blank.

[DESCRIPTION OF THE PRIOR ART]

Fig. 11a shows the configuration of a generally known resin-encapsulated semiconductor device (a plastic lead frame package). The shown resin-encapsulated semiconductor device includes a die pad 1111 having a semiconductor chip 1120 mounted thereon, outer leads to be electrically connected to the associated circuits, inner leads 1112 formed integrally with the outer leads 1113, bonding wires 1130 for electrically connecting the tips of the inner leads 1112 to the bonding pad 1121 of the semiconductor chip 1120, and a resin encapsulating the semiconductor chip 1120 to protect the semiconductor chip 1120 from external stresses and contaminants. This resin-encapsulated semiconductor device, after mounting the semiconductor device 1120 on the bonding pad 1121, is manufactured by encapsulating the semiconductor chip 1120 with the resin. In this resin-encapsulated semiconductor device, the number of the inner leads 1112 is equal to that of the bonding pads 1121 of the semiconductor chip 1120. And, Fig. 11b shows the configuration of a monolayer lead frame used as an assembly member of the resin-encapsulated semiconductor device shown in Fig. 11a. Such a lead frame includes the bonding pad 1111 for mounting the semiconductor chip, the inner leads 1112 to be electrically connected to the semiconductor device, the outer lead 1113 which is integral

with the inner lead 1112 and is adapted to be electrically connected to the associated circuits. This also includes dam bars serving as a dam when encapsulating the semiconductor device with the resin, and a frame serving to support the entire lead frame 1110. Such a lead frame is formed from a highly conductive metal such as a cobalt, 42 alloy (a 42% Ni-Fe alloy), copper-based alloy by a pressing working process or an etching process.

Recently, there has been growing demand for the miniaturization and reduction in thickness of resin-encapsulated semiconductor device employing lead frames like the lead frame 1110 (plastic lead frame package) and the increase of the number of terminals of resin-encapsulated semiconductor package as electronic apparatuses are miniaturized progressively and the degree of the integration of semiconductor device increase progressively. Thus, recent resin-encapsulated semiconductor package, particularly quad plate package (QFPs) and thin quad flat packages (TQFPs) have each a greatly increased number of pins.

Lead frames having inner leads arranged at small pitches among lead frames for semiconductor packages are fabricated by a photolithographic etching process, while lead frames having inner leads arranged at comparatively large pitches among lead frames for semiconductor packages

are fabricated by press working. However, lead frames having a large number of fine inner leads to be used for forming semiconductor packages having a large number of pins are fabricated by subjecting a blank of a thickness on the order of 0.25 mm to an etching process, not a press working.

The etching process for forming a lead frame having fine inner leads will be described hereinafter with reference to Fig. 10. First a copper alloy or 42 alloy thin sheet 1010 of a thickness on the order of 0.25 mm (blank for a lead frame) is cleaned perfectly (Fig. 10a). Then, a photoresist, such as a water-soluble casein photoresist containing potassium dichromate as a sensitive agent, is spread in photoresist films 1020 over the major surfaces of the thin film as shown in Fig. 10b. Then, the photoresist films are exposed, through a mask of a predetermined pattern, to light emitted by a high-pressure mercury lamp, and the thin sheet is immersed in a developer for development to form a patterned photoresist film 1030 as shown in Fig. 10c. Then, the thin sheet is subjected, when need be, to a hardening process, a washing process and such, and then an etchant containing ferric chloride as a principal component is sprayed against the thin sheet 1010 to etch through portions of the thin sheet 1010 not coated with the patterned photoresist films 1020 so that inner

leads of predetermined sizes and shapes are formed as shown in Fig. 10d.

Then, the patterned resist films are removed, the patterned thin sheet 1010 is washed to complete a lead frame having the inner leads of desired shapes as shown in Fig. 13e. Predetermined areas of the lead frame thus formed by the etching process are silver-plated. After being washed and dried, an adhesive polyimide tape is stuck to the inner leads for fixation, predetermined tab bars are bent, when need be, and the die pad depressed. In the etching process, the etchant etches the thin sheet in both the direction of the thickness and directions perpendicular to the thickness, which limits the miniaturization of inner lead pitches of lead frames. Since the thin sheet is etched from both the major surfaces as shown in Fig. 10 during the etching process, it is said, when the lead frame has a line-and-space shape, that the smallest possible intervals between the lines are in the range of 50 to 100% of the thickness of the thin sheet. From the viewpoint of forming the outer lead having a sufficient strength, generally, the thickness of the thin sheet must be about 0.125 mm or above. Furthermore, the width of the inner leads must be in the range of 70 to 80 μ m for successful wire bonding. When the etching process as illustrated in Fig. 10 is employed in fabricating a lead frame, a thin sheet of a small

thickness in the range of 0.125 to 0.15 mm is used and inner leads are formed by etching so that the fine tips thereof are arranged at a pitch of about 0.165 mm.

5 However, recent miniature resin-encapsulated semiconductor package requires inner leads arranged at pitches in the range of 0.013 to 0.15 mm, far smaller than 0.165 mm. When a lead frame is fabricated by processing a thin sheet of a reduced thickness, the strength of the outer leads of such a lead frame is not large enough to
10 withstand external forces that may be applied thereto in the subsequent processes including an assembling process and a chip mounting process. Accordingly, there is a limit to the reduction of the thickness of the thin sheet to enable the fabrication of a minute lead frame having fine
15 leads arranged at very small pitches by etching.

An etching method previously proposed to overcome such difficulties subjects a thin sheet to an etching process to form a lead frame after reducing the thickness of portions of the thin sheet corresponding to the inner leads of the
20 lead frame by half etching or pressing to form the fine inner leads by etching without reducing the strength of the outer leads. However, problems arise in accuracy in the subsequent processes when the lead frame is formed by etching after reducing the thickness of the portions
25 corresponding to the inner leads by pressing; for example,

the smoothness of the surface of the plated areas is unsatisfactory, the inner leads cannot be formed in a flatness and a dimensional accuracy required to clamp the lead frame accurately for bonding and molding, and a platemaking process must be repeated twice making the lead fabricating process intricate. It is also necessary to repeat a platemaking process twice when the thickness of the portions of the thin sheet corresponding to the inner leads is reduced by half etching before subjecting the thin sheet to an etching process for forming the lead frame, which also makes the lead frame fabricating process intricate. Thus, this previously proposed etching method has not yet been applied to practical lead frame fabricating processes.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

Meanwhile, there has been growing demand for the miniaturization and increase in the mounting efficiency of the semiconductor package as electronic apparatuses are miniaturized progressively. Thus, a package, so called "CSP" (Chip Size Package) is proposed which is encapsulated with a resin in such a manner that its size is substantially equal to that of the semiconductor chip. The CSP has the following advantages.

- 1) First, where the number of pins of the CSP is equal

to that of QFP (Quad Flat Package) or BGA (Ball Grid Package), the CSP enables a remarkable reduction in the mounting area as compared to the QFP or BGA.

2) Second, if the CSP is equal to the QFP or BGA in size, the CSP is increased in the pin number over the QFP or BGA. In the case of the QFP, a practical use dimension is 40 mm or less when considering the length of the package or substrate, and the pin number is 304 or less if the outer leads are arranged at a pitch of 0.5 mm. The outer leads need to be arranged at a pitch of 0.4mm or 0.3 mm to increase the pin number, but this causes a user difficulty in mounting the semiconductor package at a high productivity. Generally, in fabricating the QFP in which the outer leads are arranged at a pitch of 0.3 mm or less, the mass production of the QFP necessarily involves an increase in costs, otherwise the mass production is difficult. The BGA was proposed to overcome such a difficulty of the QFP. In the BGA, external terminals are formed in the shape of two-dimensional array, and arranged at a wider pitch, thereby reducing a difficulty in mounting it. Moreover, although the BGA permits the conventional overall reflow soldering even at the pin number in excess of 300 pins, solder bumps are incorporated with cracks depending on the temperature cycle if the dimension of the BGA reaches 30 to 40 mm, such that an upper limitation of

the pin number of the BGA is 600 to 700 pins, or at most 1000 pins. In the case of the CSP in which external terminals are mounted in the shape of two-dimensional array on the back surface of the CSP, pitches of the external terminals can be increased in accordance with the concepts of the BGA. Moreover, in the CSP, the overall reflow soldering can be permitted, as in the BGA.

3) Third, as compared to the QFP or BGA, the CSP is short in an interconnection length, and thus less in the parasitic capacitance, and thereby short in the transfer delay time. Where the clock rate is in excess of 100 MHz, the QFP is problematic in transfer into the package. The CSP having a shortened interconnection length is advantageous. Accordingly, the CSP is advantageous in view of the mounting efficiency, but it needs to be narrower in the terminal pitch when considering a demand for an increase in the number of terminals.

Thus, the present invention is aimed to provide a resin-encapsulated semiconductor device employing a lead frame, which is capable of meeting a demand for the miniaturization and increased terminal number.

(MEANS FOR SOLVING THE SUBJECT MATTERS)

A resin-encapsulated semiconductor device in accordance with the present invention is a resin-

encapsulated CSP type semiconductor device in which a lead
frame shaped in accordance with a two-step etching process
in a manner that a thickness of inner leads is thinner than
that of the lead frame and which is encapsulated with an
5 encapsulating resin in such a manner that it is
substantially the same as that of a semiconductor chip in
size, the lead frame including: inner leads having a
thickness smaller than that of a lead frame blank; and
terminal columns having the same thickness as that of the
10 lead frame blank and being integrally connected to the
inner leads and also being adapted to be electrically
connected to an external circuit; the terminal columns
being disposed outside of the inner leads in such a manner
that they are coupled to the inner leads in a direction
15 orthogonal to thickness-wise direction thereof, the
terminal columns being mounted on the surface opposite the
surface on which the semiconductor chip is mounted, the
terminal columns having terminal portions arranged on their
tips; the terminal portions being made of solder, etc. and
20 exposed externally through the encapsulating resin such
that the terminal columns are exposed externally through
the encapsulating resin at their outer sides; the
semiconductor chip at its surface having electrode portions
(pads) being mounted on the inner leads by means of an
25 insulating adhesive, and the electrode portions being

electrically connected to tips of the inner leads by wires.

Moreover, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the lead frame surface on which the semiconductor chip is mounted, the terminal columns being exposed externally through the encapsulating resin at their outer sides; the semiconductor chip at its surface having electrode portions (pads) being mounted on the inner leads by means of an insulating adhesive, and the electrode portions being

arranged between the inner leads and electrically connected to tips of the inner leads by wires.

In the resin-encapsulated CSP type semiconductor devices as described above, the lead frame has a die pad, and the semiconductor chip is mounted in such a manner that their electrode portions is arranged between the inner leads and the die pad.

Furthermore, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner that they are coupled to the inner leads in a direction orthogonal to thickness-wise direction thereof, the terminal columns being mounted on the surface opposite the

surface of the lead frame on which the semiconductor device is mounted, the terminal columns having terminal portions arranged on their tips; the terminal portions being made of solder, etc. and exposed externally through the encapsulating resin such that the terminal columns are exposed externally through the encapsulating resin at their outer sides; the semiconductor chip being mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip being electrically connected to the inner leads.

Also, a resin-encapsulated semiconductor device in accordance with the present invention is a resin-encapsulated CSP type semiconductor device in which a lead frame shaped in accordance with a two-step etching process in a manner that a thickness of inner leads is thinner than that of the lead frame and which is encapsulated with an encapsulating resin in such a manner that it is substantially the same as that of a semiconductor chip in size, the lead frame including: inner leads having a thickness smaller than that of a lead frame blank; and terminal columns having the same thickness as that of the lead frame blank and being integrally connected to the inner leads and also being adapted to be electrically connected to an external circuit; the terminal columns being disposed outside of the inner leads in such a manner

that they are coupled to the inner leads in a direction
orthogonal to thickness-wise direction thereof, the
terminal columns being mounted on the surface opposite the
surface of the lead frame on which the semiconductor device
5 is mounted, the terminal columns having terminal portions
arranged on their tips; the terminal portions being exposed
externally through the encapsulating resin at a portion of
tips thereof; the semiconductor chip being mounted on the
inner leads by bumps arranged on one surface thereof, and
10 the semiconductor chip being electrically connected to the
inner leads.

In the resin-encapsulated CSP type package, the inner
leads each have a rectangular cross-sectional shape
including four faces respectively provided with a first
15 surface, a second surface, a third surface, and a fourth
surface, the first surface being opposite to the second
surface and flush with one surface of the remaining portion
of the inner lead having the same thickness as that of the
lead frame blank, and the third and fourth surfaces each
20 having a concave shape depressed toward the inside of the
inner lead.

Meanwhile, the CSP type semiconductor devices as used
herein generally means resin-encapsulated semiconductor
devices encapsulated with an encapsulating resin in a
25 manner that each of the resulting structures is

lead, the inner leads are stable and wider in their width.

Furthermore, in the resin-encapsulated semiconductor device in accordance with the present invention, a semiconductor chip is mounted on the inner leads by bumps arranged on one surface of the semiconductor chip, and the semiconductor chip and the inner leads are electrically connected to each other. Thus, wire bondings are not required, and also bondings can be carried out in a lump.

[EMBODIMENTS]

Embodiments of the resin-encapsulated semiconductor device in accordance with the present invention will now be described with reference to Figures. 1. First, a first embodiment is shown in Fig. 1. Fig 1a is a cross-sectional view of the resin-encapsulated semiconductor device according to the first embodiment of the present invention. Fig. 1b is a cross-sectional view of each of the inner leads taken along the line A1-A2 of Fig. 1a, and Fig 1c is a cross-sectional of each of terminal columns view taken along the line B1-B2 of Fig. 1a. In Fig. 1, a reference numeral 100 depicts a resin-encapsulated semiconductor device, 110 a semiconductor chip, 111 electrode portions (pads), 120 wires, 130 a lead frame, 131 inner leads, 131Aa a first surface, 131Ab a second surface, 131Ac a third surface, 131Ad a fourth surface, 133 terminal columns, 133A

terminal portions, 133B sides, 140 an encapsulating resin,
150 an insulating adhesive, and 160 a reinforcing tape.

In the resin-encapsulated semiconductor device
according to the first embodiment, a semiconductor device
5 110 is mounted in a manner that the electrode portions 111
of the semiconductor chip 110 are arranged between the
inner leads. The semiconductor chip 110 is electrically
connected to the second surface 131 Ab of the tip of each
inner lead 131. The electrical connection of the resin-
10 encapsulated semiconductor device 100 to an external
circuit is achieved by mounting the resin-encapsulated
semiconductor device 100 at terminal portions made of semi-
spherical solder on a printed circuit substrate. The lead
frame 130 used in the semiconductor device 100 according to
15 the first embodiment is made of a 42% nickel-iron alloy.
This lead frame 130 has a shape as shown in Fig. 6a. As
shown in Fig. 6a, the lead frame 130 has inner leads 131
shaped to have a thickness smaller than that of the
terminal column 133. Dam bars 136 serve as a dam when
20 encapsulating with a resin. Moreover, although the lead
frame processed by etching to have a shape as shown in Fig.
6a is used in this embodiment, the lead frame is not
limited to such a shape as portions other than the inner
leads and the terminal columns 133 are not required to be
25 used. The inner leads 131 have a thickness of 40 μ m whereas

the portions of the lead frame other than the inner leads
131 have a thickness of 0.15 mm corresponding to the
thickness of the lead frame blank. The tips of the inner
leads have a fine pitch of 0.12 mm so as to achieve an
5 increase in the number of terminals for semiconductor
devices. The second face denoted by the reference numeral
131Ab is a surface etched, but having a substantially flat
profile, so as to allow an easy wire bonding thereon. The
third and fourth faces 131Ac and 131Ad have a concave shape
10 depressed toward the inside of the associated inner lead,
respectively. This structure exhibits a high strength even
though the second face (wire bonding surface) is narrow.
Also, Fig. 6b is a cross-sectional view taken with the line
C1-C2 of Fig. 6a. The reinforcing tape 160 is attached
15 fixedly so as not to cause twisting in the inner leads.
Also, if the inner leads are short in their length, a lead
frame fabricated by etching to have a shape shown in Fig.
6a is mounted with the semiconductor chip in accordance
with a method as described below. However, where the inner
20 leads are long in their length and have a tendency for the
generation of twisting therein, it is impossible to
fabricate directly the lead frame by etching to have a
shape as shown in Fig. 6a. Therefore, after etching the
lead frame in a state where the tips of the inner leads are
25 fixed to the connecting portion 131B as shown in Fig.

6c(i), the inner leads 131 are fixed with the reinforcing tape 160 as shown in Fig. 6c(ii). Then, the connecting portion 131B unnecessary for the fabrication of the resin-encapsulated semiconductor device are removed by means of a press as shown in Fig. 6c (iii), and a semiconductor chip is then mounted on the lead frame. In Fig. 6c(ii), the line E1-E2 shows the line to be cut by a press.

A method for the fabrication of the resin-encapsulated semiconductor device will now be described in brief. First, as shown in Fig. 5a, a lead frame, which is fabricated by an etching and from which the unnecessary portions are moved by a cutting process, is arranged in a manner that thin tips of the inner leads are directed upwardly. Moreover, if the inner leads are long in their length, the tips of the inner leads are fixed by a polyimide tape, as required. Then, the surface of the semiconductor device 110 having electrode portions 111 formed thereon is directed downwardly, and located on the inner leads in a manner that the electrode portions are arranged between the inner leads 131. Then, the semiconductor device 110 is mounted fixedly on the inner leads by means of an insulating adhesive 150.

Then, as shown in Fig. 5b, the electrode portions are electrically connected to the tips of the inner leads 131 by wires 120. Subsequently, encapsulation is carried out

with the conventional encapsulating resin 140, as shown in Fig. 5c. Such an encapsulation with the resin is carried out using a desired mold in a manner that the outer surface of the terminal columns is somewhat protruded externally from the encapsulating resin. Then, unnecessary portions of the lead frame 130 protruded from the encapsulating resin 140 are cut off by a press to form terminal columns 130 while forming sides 133B of the terminal columns 130, as shown in Fig. 5d. In this case, it is preferable to form previously the cutting line in the lead frame for easy cutting. Particularly, the forming of the cutting line during etching of the lead frame results in the saving of time. The dam bars 136, frame portions 137, etc. of the lead frame 110 as shown in Fig. 6 are removed. Next, terminal portion 133A made of solder is arranged on the outer surface of each terminal column to fabricate a resin-encapsulated semiconductor device. The terminal portion 133A serves to facilitate connection of the resin-encapsulated semiconductor device to an external circuit, but does not necessarily need to be arranged.

A method for etching the lead frame of the first embodiment will now be described in conjunction with Figs. 8a to 8e. Figs. 8a to 8e are cross-sectional views respectively illustrating sequential steps of the etching process for the lead frame of the first embodiment shown in

Fig. 1. In particular, the cross-sectional views of Figs. 8a to 8e correspond to a cross section taken along the line D1 - D2 of Fig. 6a, respectively. In Figs. 8a to 8e, the reference numeral 810 denotes a lead frame blank, 820A and 820B resist patterns, 830 first opening, 840 second openings, 850 first concave portion, 860 second concave portions, 870 flat surface, 880 an etch-resistant layer, 131A tips of inner leads, and 131Ab second faces of inner leads, respectively. First, a water-soluble casein resist using potassium dichromate as a sensitive agent is coated over both surfaces of a lead frame blank 810 made of a 42% nickel-iron alloy and having a thickness of about 0.15 mm. Using desired pattern plates, the resist films are patterned to form resist patterns 820A and 820B having first opening 830 and second openings 840, respectively (Fig. 8a).

The first opening 830 is adapted to etch the lead frame blank 810 to have an etched flat bottom surface of a thickness smaller than that of the lead frame blank 810 in a subsequent process. The second openings 840 are adapted to form desired shapes of tips of inner leads. Although the first opening 830 includes at least an area forming the tips of the inner leads 810, a topology generated by a partially thinned portion by etching in a subsequent process can cause hindrance in a taping process or a

clamping process for fixing the lead frame. Thus, an area to be etched needs to be sufficiently large without being limited to an area for forming the fine portions of the tips of the inner leads. Thereafter, both surfaces of the lead frame blank 810 formed with the resist patterns are etched using a 48 Be' ferric chloride solution of a temperature of 57 °C at a spray pressure of 2.5 kg/cm². The etching process is terminated at the point of time when first recess 850 etched to have a flat etched bottom surface has a depth h corresponding to 2/3 of the thickness of the lead frame blank (Fig. 8b).

Although both surfaces of the lead frame blank 810 are simultaneously etched in the primary etching process, it is unnecessary to simultaneously etch both surfaces of the lead frame blank 810. For instance, an etching process may be conducted at the surface of the lead frame blank formed with the resist pattern 820B having openings of a desired shape to form at least a desired shape of the inner leads using an etchant solution. In this case, the etching process is terminated after obtaining a desired etching depth at the etched inner lead forming regions. The reason why both surfaces of the lead frame blank 810 are simultaneously etched, as in this embodiment, is to reduce the etching time taken in a secondary etching process as described hereinafter. The total time taken for the

primary and secondary etching processes is less than that taken in the case of etching only one surface of the lead frame blank on which the resist pattern 820B is formed. Subsequently, the surface provided with the first recess 850 etched at the first opening 830 is entirely coated with an etch-resistant hot-melt wax (acidic wax type MR-WB6, The Inctec Inc.) by a die coater to form an etch-resistant layer 880 so as to fill up the first recess 850 and to cover the resist pattern 820A (Fig. 8c).

It is unnecessary to coat the etch-resistant layer 880 over the entire portion of the surface provided with the resist pattern 820A. However, it is preferred that the etch-resistant layer 880 be coated over the entire portion of the surface formed with the first recess 850 and first opening 830, as shown in Fig. 8c, because it is difficult to coat the etch-resistant layer 880 only on the surface portion including the first recess 850. Although the etch-resistant layer 880 wax employed in this embodiment is an alkali-soluble wax, any suitable wax resistant to the etching action of the etchant solution and remaining somewhat soft during etching may be used. A wax for forming the etch-resistant layer 880 is not limited to the above-mentioned wax, but may be a wax of a UV-setting type. Since the first recess 850 etched by the primary etching process at the surface formed with the pattern adapted to

form a desired shape of the inner lead tip is filled up
with the etch-resistant layer 880, it is not further etched
in the following secondary etching process. The
etch-resistant layer 880 also enhances the mechanical
5 strength of the lead frame blank for the second etching
process, thereby enabling the second etching process to be
conducted while keeping a high accuracy. It is also
possible to enable a second etchant solution to be sprayed
at an increased spraying pressure, for example, 2.5 kg/cm^2
10 or above, in the secondary etching process. The increased
spraying pressure promotes the progress of etching in the
direction of the thickness of the lead frame blank in the
secondary etching process. Then, the lead frame blank is
subjected to a secondary etching process. In this
15 secondary etching process, the lead frame blank 810 is
etched at its surface formed with the first recess 850
having a flat etched bottom surface, to completely
perforate the lead frame blank 810, thereby forming the
tips 890 of the inner leads (Fig. 8d).

20 The bottom surface 870 of each recess formed by the
primary etching process and parallel to the surface of the
lead frame is flat. However, both side surfaces of each
recess positioned at opposite sides of the bottom surface
870 have a concave shape depressed toward the inside of the
25 inner lead. Then, the lead frame blank is cleaned. After

completion of the cleaning process, the etch-resistant layer 880, and resist films (resist patterns 820A and 820B) are sequentially removed. Thus, a lead frame having a structure of Fig. 6a is obtained in which tips 690 of inner leads are arranged at a fine pitch. The removal of the etch-resistant layer 880 and resist films (resist patterns 820A and 820B) is achieved using a sodium hydroxide solution serving to dissolve them.

The etching method in which the etching process is conducted at two separate steps, respectively, as described above, is generally called a "two-step etching method". This etching method is advantageous in that a desired fineness can be obtained. The etching method used to fabricate the lead frame 130 used in the present invention and shown in Figs. 6a and 6b involves the two-step etching method and the method for forming a desired shape of each lead frame portion while reducing the thickness of each pattern formed. In accordance with the above method, the fineness of the tip 131A of each inner lead formed by this method is dependent on a shape of the second recesses 860 and the thickness of the inner lead tip. For example, where the blank has a thickness t reduced to 50 μm , the inner leads can have a fineness corresponding to a lead width W_1 of 100 μm and a tip pitch p of 0.15 mm, as shown in Fig. 6e. In the case of using a small blank thickness t

of about 30 μ m and a lead width W_1 of 70 μ m, it is possible to form inner leads having a fineness corresponding to an inner lead pitch p of 0.12 mm. Of course, it may be possible to form inner leads having a further reduced tip pitch by adjusting the blank thickness t and the lead width W_1 .

In the case where twisting of the inner leads does not occur in the fabricating process, as in the case where the inner leads are short in their length, a lead frame illustrated in Fig. 6a can be directly obtained. However, where the inner leads are long in length as compared to those of the first embodiment, the inner leads have a tendency for the generation of twisting. Thus, in this case, the lead frame is obtained by etching in a state where the tips of the inner leads are bound to each other by a connecting member 131B as shown in Fig. 6c(I). Then, the connecting member 131B, unnecessary for the fabrication of a semiconductor package, is cut off by means of a press to obtain a lead frame shaped as shown in Fig. 6a.

In the case of fabricating a lead frame 230 having a die pad 235 as shown in Figs. 7a and 7b, the lead frame may be shaped by etching in a state where a connecting member 231B is arranged on the tips of the inner leads to bind the tips directly to the die pad, as shown in Fig. 7c(I). Then, unnecessary portions in the shaped lead frame may be cut

off. Moreover, Fig. 7b is a cross-sectional view taken
along the line C11-C22, and the line E11-E21 in Fig. 7c(ii)
shows a cutting line. After the inner leads are plated in
accordance with a jig plating process, unnecessary portions
5 are cut off to obtain a lead frame having a good quality
with no plating failure. Moreover, as described above,
where unnecessary portions in the structure shown in Fig.
6c are cut off to obtain the lead frame having a shape
shown in Fig. 6a, a reinforcing tape 160 (a polyimide tape)
10 is generally used, as shown in Fig. 6c(iii). Similarly, the
reinforcing tape is also used in the case of cutting off
unnecessary portions in a structure shown in Fig. 7c. While
the connecting member 131B is cut off by means of a press
to obtain a shape shown in Fig. 6c(iii), a semiconductor
15 chip is mounted on the lead frame still having the
reinforcing tape attached thereon. Also, the mounted
semiconductor chip is encapsulated with a resin in a
condition where the lead frame still has the tape.

The tip 131A of each inner lead of the lead frame used
20 in the semiconductor device of this first embodiment has a
cross-sectional shape as shown in Fig. 9(I). The tip 131A
has an etched flat surface (second surface) 131Ab which has
a width W_1 slightly more than the width W_2 of an opposite
surface. The widths W_1 and W_2 (about 100 μm) are more than
25 the width W at the central portion of the tips when viewed

in the direction of the inner lead thickness. Thus, the tip of the inner lead has a cross-sectional shape having opposite wide surfaces. To this end, although either of the opposite surfaces of the tip 131A can be easily electrically connected to a semiconductor chip (not shown) by a wire 120A or 120B, this embodiment illustrates the use of the etched flat surface for wire-bonding as shown in Fig. 9(ii)a. In Fig. 9, a reference numeral 131Ab depicts an etched flat surface, 131Aa a surface of a lead frame blank, and 121A and 121B, respectively, a plated portion. In the case of Fig. 9(ii)a, there is a particularly excellent wire-bonding property, as the etched flat surface does not have roughness. Fig. 9(iii) shows that the tip 931C of the inner lead of the lead frame fabricated according to the process illustrated in Fig. 10 is wire-bonded to a semiconductor chip. In this case, however, both opposite surfaces of the tip 931C of the inner lead are flat, but have a width smaller than that in a direction of the inner lead thickness. In addition to this, as both the opposite surfaces of the tip 931C are formed of surfaces of the lead frame blank, these surfaces have an inferior wire-bonding property as compared to that of the etched flat surface of the first embodiment. Fig. 9(iv) shows that the inner lead tip 931D or 931E, obtained by thinning in its thickness by a means of a press and then by etching, is wire-bonded to a

semiconductor chip (not shown). In this case, however, a pressed surface of the inner lead tip is not flat as shown Fig. 9(iv). Thus, the wire-bonding on either of the opposite surfaces as shown in Fig. 9(iv)a or Fig. 9(iv)b often results in an insufficient wire-bonding stability and a problematic quality.

A modification to the resin-encapsulated semiconductor device of the first embodiment will now be described. Fig. 2a is a cross-sectional view illustrating a modification to the resin-encapsulated semiconductor device of the first embodiment, and Fig. 2c shows an appearance of the semiconductor device in accordance with the modification. Fig. 2c(ii) is a view when viewed from the bottom of the semiconductor device, Fig. 2c(I) is a front view of the semiconductor device, and Fig. 2b is a cross-sectional view of a terminal column taken at a position corresponding to the line A1-A2 of Fig. 1a. The semiconductor device according to the modification is different with that of the first embodiment in terminal portion 133A. The terminal portions at their tips are protruded externally from a resin 140. The surface of the tip of each terminal portion is plated with solder. Thus, when mounting the resin-encapsulated semiconductor device, the solder is uniformly distributed through an opening 133c. The semiconductor device 100A of this modification is identical to that of

the first embodiment except for the terminal portions 133A.

A resin-encapsulated semiconductor device in accordance with a second embodiment will now be described. Fig. 3a is a cross-sectional view of a resin-encapsulated semiconductor device according to the second embodiment, 5 Fig. 3b is a cross-sectional view of an inner lead taken along the line A3-A4 of the Fig. 3a, and Fig. 3c(I) is a cross-sectional view of a terminal column taken along the line A3-A4 of Fig. 3a. In Fig. 3, a reference numeral 200 depicts a resin-encapsulated semiconductor device, 210 a 10 semiconductor chip, 230 a lead frame, 231 inner leads, 231Aa a first surface, 231Ab a second surface, 231Ac a third surface, 231Ad a fourth surface, 233 terminal columns, 233A terminal portions, 233B sides, 235 a die pad, 240 an encapsulating resin, 250 an insulating adhesive, 15 250A an adhesive, and 260 a reinforcing tape. In the case of the second embodiment similarly to the case of the first embodiment, the semiconductor chip 210 is mounted in such a manner that the surface, on which electrode portions (pads) 20 211 are formed, is mounted fixedly on the inner leads 231 by means of the insulating adhesive, while the electrode portions 211 are arranged between the inner leads 231. The electrode portions are electrically connected to the second surfaces 231Ab of the tips of the inner leads 231. The lead 25 frame has the die pad 235 at its inside. The electrode

portions 211 are arranged between the inner leads 231 and the die pad 235. Moreover, in the second embodiment similarly to the case of the first embodiment, electrical connection of the semiconductor device 200 to an external circuit is achieved by mounting the semiconductor device 200 on a printed substrate by terminal portions made of a semi-spherical solder and arranged on the tips of the terminal columns 233. In this embodiment, a conductive adhesive is used to adhere the semiconductor chip 210 to the die pad 235, and the die pad 235 and the terminal columns 233 are connected by the inner leads to each other, thereby dissipating heat generated in the semiconductor chip through the die pad. Also, the adhesive 250A necessarily needs to be conductive. However, where the die pad and the semiconductor chip are connected together by means of the conductive adhesive and the die pad is connected to a ground line, it is possible to not only obtain a heat dissipation effect, but also to solve a problem associated with noise.

Similarly to the lead frame used in the first embodiment, the lead frame 230 used in the second embodiment is made of 42% nickel-iron alloy. However, as shown in Figs. 7a and 7b, the lead frame 230 is shaped to have the die pad 235 and the inner leads 233 having a thickness thinner than that of the terminal columns. The

terminal columns each have a thickness of 0.15 mm. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 231Ab of each inner lead is flat, such that is easy to wire-bond. The third and fourth surfaces 231Ac and 231Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment.

For example, in a modification to the resin-encapsulated semiconductor device of the second embodiment, an opening 233C is formed on the tip of each terminal column 233 as in the modification to the first-embodiment. The opening is protruded externally from the encapsulating resin 240 such that the tip having the opening serves as the terminal 233A.

A resin-encapsulated semiconductor device in accordance with a third embodiment will now be described. Fig. 4a is a cross-sectional view of a resin-encapsulated semiconductor device in accordance with a third embodiment, and Fig. 4b is a cross-sectional view of an inner lead

taken along the line A5-A6 of Fig. 4a. Also, Fig. 4c(1) is
a cross-sectional view of a terminal column taken along the
line B5-B6 of Fig. 4a. In Fig. 4, a reference numeral 300
depicts a resin-encapsulated semiconductor device, 310 a
5 semiconductor device, 311 pads, 330 a lead frame, 331 inner
leads, 331Aa a first surface, 331Ab a second surface, 331Ac
a third surface, 331Ad a fourth surface, 333 terminal
columns, 333A terminal portions, 333B sides, 335 a die pad,
340 a encapsulating resin, and 360 a reinforcing resin.
10 Unlike the first or second embodiment above, the
semiconductor device 300 in accordance with this third
embodiment includes bumps 311. The bumps 311 are mounted
fixedly on the inner leads 330 and electrically connect the
semiconductor chip 310 and the inner leads 331 together.
15 Similarly to the first or second embodiment, electrical
connection of the semiconductor device to an external
circuit is achieved by mounting the semiconductor device on
a printed substrate by terminal portions 333A made of a
semi-spherical solder and arranged on the tips of the
20 terminal columns.

Similarly to the lead frame used in the first or
second embodiment, the lead frame 330 used in the second
embodiment is made of 42% nickel-iron alloy. However, the
lead frame 330 is shaped to have the tips 331A of the inner
25 leads having a thickness thinner than that of the terminal

columns, as shown in Figs. 6a and 6b. The terminal columns 333 are equal to the lead frame blank in thickness. The tips 331A of the inner leads are 40 μ m thick, and the remaining portions other than the tips 331A of the inner leads are 0.15 mm thick, such that the lead frame has a strength sufficient to withstand the subsequent processes. The inner leads are arranged at a pitch of 0.12 mm, thereby meeting a demand for the increased terminal number of the semiconductor device. The second surface 331Ab of each inner lead 331A is flat, such that is easy to wire-bond. The third and fourth surfaces 331Ac and 331Ad also have a concave shape depressed toward the inside of the inner lead. This structure exhibits a high strength even though the second face (wire bonding surface) is narrow. Moreover, the fabrication of the resin-encapsulated semiconductor device of the second embodiment is carried out in accordance with substantially the same process as that of the first embodiment, except that the semiconductor chip is mounted fixedly on the die pad, followed by encapsulation with the encapsulating resin.

For example, in a modification to the resin-encapsulated semiconductor device of the third embodiment, an opening 333C is formed on the tip of each terminal column 333 as in the modification to the first embodiment as shown in Fig. 2. The opening is protruded externally

from the encapsulating resin 340A such that the tip having the opening serves as the terminal 333A.

[EFFECTS OF THE INVENTION]

5 The present invention provides a resin-encapsulated semiconductor device employing the above-mentioned lead frame, which is capable of meeting a demand for the increased terminal number and is excellent in mounting efficiency. Furthermore, the resin-encapsulated
10 semiconductor device in accordance with this invention does not require a process of cutting or bending the dam bars as in the case of using a lead frame having outer leads as shown in Fig. 11b. As a result of this, the resin-encapsulated semiconductor device does not have a problem
15 in that the outer leads are bent, or a problem associated with coplanarity. In addition to these advantages, the resin-encapsulated semiconductor device has a shortened interconnection length as compared to the QTP or the BGA, whereby the semiconductor device can be reduced in a
20 parasitic capacity, and shortened in a transfer delay time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-306853

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int. Cl.	国際記号	庁内整理番号	F I	区画表示箇所
H01L 23/50			H01L 23/50	S
21/60	311		21/60	C
23/12			23/28	A
23/28			23/12	L

審査請求 未請求 請求項の数 17 O L (全 20 頁)

(21) 出願番号 特願平 7-110380

(22) 出願日 平成 7 年 (1995) 5 月 9 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 林田 勝大

神奈川県川崎市中原区上小田中 1015 番
地 富士通株式会社内

(72) 発明者 佐藤 光孝

神奈川県川崎市中原区上小田中 1015 番
地 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

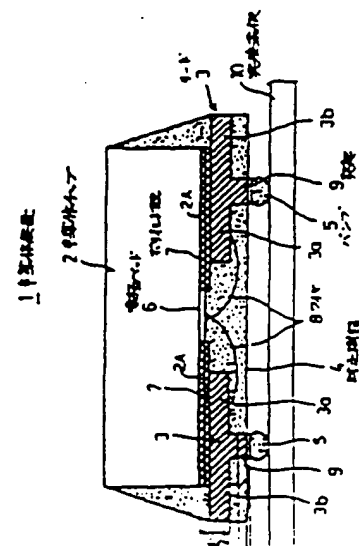
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法及びリードフレームの製造方法

(57) 【要約】

【目的】 本発明は半導体チップ及びリードを密着封止した構成を有した半導体装置及びその製造方法及び該半導体装置に用いるリードフレームの製造方法に関し、半導体チップの信頼性を維持しつつ外部電極端子の低抵抗化、製品コストの低減及び生産効率の向上を図ることを目的とする。

【構成】 第 1 のピッチで電極パッド 6 が形成された半導体チップ 2 と、電極パッド 6 とワイヤ 8 を介して電気的に接続されるリード 3 と、半導体チップ 2 を封止する封止樹脂 4 とを具備する半導体装置において、前記リード 3 に外部接続端子となる突起 9 を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、前記封止樹脂 4 が電極パッド 6 とリード 3 との間に引き込まれたワイヤ 8 を封止し、かつ前記突起 9 を露出させるよう配設したのである。



【特許請求の範囲】

【請求項 1】 第 1 のピッチにて形成された電極バンドが形成された半導体チップと、

前記電極バンドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を、上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記封止樹脂が前記電極バンドと前記リードとの間に引き回された配線を封止し、かつ前記突起を露出させるよう配設されることを特徴とする半導体装置、

【請求項 2】 第 1 のピッチにて形成された電極バンドが形成された半導体チップと、

前記電極バンドと配線を介して電気的に接続されるリードと、

前記半導体チップを封止する封止樹脂とを具備する半導体装置において、

前記リードに外部接続端子となる突起を上記第 1 のピッチと異なる第 2 のピッチで形成すると共に、

前記半導体チップに形成された前記電極バンドの配設面を基準とし、前記配設面における前記封止樹脂の厚さが、前記配設面から前記突起までの高さ寸法以下で、かつ前記配設面から前記配線までの高さ寸法以上となるよう構成したことを特徴とする半導体装置、

【請求項 3】 請求項 1 または 2 記載の半導体装置において、

0 記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とする半導体装置、

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の半導体装置において、

1 記突起を前記リードと一体的に形成したことを特徴とする半導体装置、

【請求項 5】 請求項 1 乃至 4 のいずれかに記載の半導体装置において、

前記配線としてワイヤを用いたことを特徴とする半導体装置、

【請求項 6】 請求項 1 乃至 5 のいずれかに記載の半導体装置において、

前記突起にバンプを形成したことを特徴とする半導体装置、

【請求項 7】 外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、

前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介させて前記リードと前記半導体チップを所定圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する工程とを具備する半導体装置の製造方法、

ードとを配線を引き回し接続することにより、前記電極バンドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内は全部を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とする半導体装置の製造方法、

【請求項 8】 請求項 7 記載の半導体装置の製造方法において、

前記接合工程でポリイミド膜により前記リードと前記半導体チップを接着する際、前記ポリイミド膜として両面に熱可塑性を有する接着剤を配設したものをを用いたことを特徴とする半導体装置の製造方法、

【請求項 9】 請求項 7 または 8 記載の半導体装置の製造方法において、

前記接続工程で、前記電極バンドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とする半導体装置の製造方法、

【請求項 10】 インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、

前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするリードフレーム、

【請求項 11】 請求項 10 記載のリードフレームにおいて、

前記アウターリード部のリードピッチ (P_{out}) と前記突起の形成位置における前記リードの厚さ (W) とが略等しく ($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ (P_{in}) が前記アウターリード部のリードピッチ (P_{out}) の略半分のピッチ ($P_{in} = P_{out} / 2$) であることを特徴とするリードフレーム、

【請求項 12】 請求項 10 または 11 記載のリードフレームの製造方法において、

基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第 1 のエッチング工程と、

前記第 1 のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第 2 のエッチング工程とを具備することを特徴とするリードフレームの製造方法、

【請求項 13】 請求項 10 または 11 記載のリードフレームの製造方法において、

重ね合わせることにより前記突起の所定高さ寸法となるよう底層が設定された第 1 の基材と第 2 の基材とを用いる、

前記第 1 の基材に、正面視した際に前記リードの形成位置に突起を形成する工程と、前記第 2 の基材に、正面視した際に前記突起の形成位置に突起を形成する工程とを具備する工程とを具備する半導体装置の製造方法、

成するよう突起パターンを形成する突起パターン形成工程と、

前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、

前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするリードフレームの製造方法、

〔請求項14〕 請求項10または11記載のリードフレームの製造方法において、

基材に、平面視した際に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

前記リードパターン形成工程は、形成されたリードパターンの所定位置に前記突起を形成する突起形成工程とを具備することを特徴とするリードフレームの製造方法、

〔請求項15〕 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置にバンパを単数個又は複数個重ねることにより前記突起を形成したことを特徴とするリードフレームの製造方法、

〔請求項16〕 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするリードフレームの製造方法、

〔請求項17〕 請求項14記載のリードフレームの製造方法において、

前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするリードフレームの製造方法、

〔発明の詳細な説明〕

(0001)

〔産業上の利用分野〕 本発明は半導体装置及びその製造方法及びリードフレームの製造方法に係り、特に半導体チップ及びリードを樹脂封止した構成を有した半導体装置及びその製造方法及び当該半導体装置に用いるリードフレームの製造方法に関する。

(0002) 近年、電子機器のダウンサイジングに伴い、半導体装置の高密度化及び半導体装置の高密度実装化が図られている。一方で、電子機器の信頼性の向上も望まれており、これに伴い半導体装置の信頼性の向上も必要である。更に、半導体装置は製品コストの低減も望まれている。

(0003) よって、上記した各要求を満足しようとする半導体装置が望まれている。

リップチップ方式の実装構造が知られており、マルチチップ・モジュール(MCM)において広く用いられている。このMCMで用いるリップチップ実装は、樹脂封止をしていない半導体チップ(ベアチップ)の電極パッドにバンパを形成しておき、このベアチップを基板(マザーボード)に形成された電極部にフエースダウンボンディングすることにより実装する構成とされている。

(0005) 上記のリップチップ方式の実装構造を用いることにより、高密度に半導体装置をマザーボードに配設することが可能となり、またベアチップに直接形成されたバンパを用いてマザーボードに電気的に接合されるため、電気的接合性を向上させることができる。

(0006)

〔発明が解決しようとする課題〕 しかるに、樹脂封止がされていないベアチップは、耐熱性、機械的強度、及び耐湿性が高いという問題点がある。また、ベアチップに形成されている電極パッドに直接バンパが形成されれば接合部を形成するため、ベアチップに形成されている電極パッドのレイアウトがそのまま外部接続端子(バンパ)のレイアウトとなってしまう。

(0007) 一般に半導体チップの電極パッドのレイアウトは半導体製造メーカーに異なっており、従って同一電極を有する半導体装置であっても、ユーザー側で半導体装置の筐体(製造メーカー)に対応するようマザーボードの配線パターンを設計する必要がある。このように、従来のベアチップを用いた実装構造では、半導体装置の外部電極端子の標準化がされていないことにより、半導体装置とマザーボードとのマッチング性に欠け、ユーザー側の負担が重くなるという問題点があった。

(0008) また、これを解決するためにチップ表面にプロセス処理を行い、配線を引き回すことにより標準化を図ることが考えられるが、この構成では配線の引き回しに高密度を有する多くの工程を必要とし、製品コストの上昇及び生産効率の低下を招いてしまうという問題点があった。

(0009) 本発明は上記の点に鑑みてなされたものであり、半導体チップの信頼性を維持しつつ外部電極端子の標準化、製品コストの低減及び生産効率の向上を図りうる半導体装置及びその製造方法及びリードフレームの製造方法を提案することを目的とする。

(0010)

〔課題を解決するための手段〕 上記の課題は下記の手段を採ることににより解決することができる。請求項1記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する樹脂封止層とを具備する半導体装置において、

された配線を封止し、かつ前記突起を露出させるよう配線されることを特徴とするものである。

【0011】また、請求項2記載の発明では、第1のピッチにて形成された電極パッドが形成された半導体チップと、前記電極パッドと配線を介して電気的に接続されるリードと、前記半導体チップを封止する封止樹脂とを具備する半導体装置において、前記リードに外部接続端子となる突起を上記第1のピッチと異なる第2のピッチで形成すると共に、前記半導体チップに形成された前記電極パッドの配線面を基準とし、前記配線面における前記封止樹脂の厚さが、前記配線面から前記突起までの高さす法以下で、かつ前記配線面から前記配線までの高さす法以上となるよう構成したことを特徴とするものである。

【0012】また、請求項3記載の発明では、前記請求項1または2記載の半導体装置において、前記半導体チップと前記リードとをポリイミド膜を接着剤として接合したことを特徴とするものである。

【0013】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体装置において、前記突起を前記リードと一体的に形成したことを特徴とするものである。また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体装置において、前記配線としてワイヤを用いたことを特徴とするものである。

【0014】また、請求項6記載の発明では、前記請求項1乃至5のいずれかに記載の半導体装置において、前記突起にバンプを形成したことを特徴とするものである。また、請求項7記載の発明では、半導体装置の製造方法において、外部接続端子となる部位に突起が形成されてなるリードを形成するリード形成工程と、前記リードまたは半導体チップの少なくとも一方にポリイミド膜を配設し、前記ポリイミド膜を介させて前記リードと前記半導体チップを所定圧力で押圧しかつ所定温度に加熱することにより、前記ポリイミド膜を接着剤として前記リードと前記半導体チップとを接合する接合工程と、前記半導体チップに形成されている電極パッドと前記リードとを配線を引を固し接続することにより、前記電極パッドと前記リードとを電気的に接続する接続工程と、前記配線及び前記半導体チップの所定範囲内には全を封止すると共に、前記突起の少なくとも一面を露出するよう封止樹脂を配設する封止樹脂配設工程とを具備することを特徴とするものである。

【0015】また、請求項8記載の発明では、前記請求項7記載の半導体装置の製造方法において、前記接合工程でポリイミド膜により前記リードと前記半導体チップを接合する際、前記ポリイミド膜として所定厚の可塑性を有する膜を用いたことを特徴とするものである。

項7または8に記載の半導体装置の製造方法において、前記接続工程で、前記電極パッドと前記リードとをダイレクトリードボンディング法により電気的に接続したことを特徴とするものである。

【0017】また、請求項10記載の発明では、インナーリード部とアウターリード部とを有した複数のリードが形成されたリードフレームにおいて、前記アウターリード部のリードピッチに対して前記インナーリード部のリードピッチを小さく設定すると共に、前記アウターリード部に一体的に突起を形成したことを特徴とするものである。

【0018】また、請求項11記載の発明では、前記請求項10記載のリードフレームにおいて、前記アウターリード部のリードピッチ (P_{out}) と前記突起の形成位置における前記リードの厚さ (W) とが略等しく ($P_{out} \approx W$)、かつ前記インナーリード部のリードピッチ (P_{in}) が前記アウターリード部のリードピッチ (P_{out}) の略半分のピッチ ($P_{in} = P_{out} / 2$) であることを特徴とするものである。また、請求項12記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に前記突起の形成位置にマスクを配設した上で、前記基材に対してハーフエッチングを行う第1のエッチング工程と、前記第1のエッチング工程の終了後、前記リード形成位置にマスクを配設した上で、前記基材に対してエッチングを行いリードを形成する第2のエッチング工程とを具備することを特徴とするものである。

【0019】また、請求項13記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、重ね合わせることにより前記突起の所定高さす法となるよう厚さが選定された第1の基材と第2の基材を用意し、前記第1の基材に、平面状した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、前記第2の基材に、少なくとも前記突起の形成位置に位置するよう突起パターンを形成する突起パターン形成工程と、前記リードパターンが形成された前記第1の基材と、前記突起パターンが形成された前記第2の基材を重ね合わせ、前記突起の形成位置において前記リードパターンと前記突起パターンが接合されるよう前記第1の基材と前記第2の基材とを接合する接合工程と、前記第1の基材及び第2の基材の不要部分を除去する除去工程とを具備することを特徴とするものである。

【0020】また、請求項14記載の発明では、前記請求項10または11記載のリードフレームの製造方法において、基材に、平面状した後に前記リードの形状となるようリードパターンを形成するリードパターン形成工程と、

【0021】また、請求項15記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置にパンチを単発的又は複数回重ねることにより前記突起を形成したことを特徴とするものである。

【0022】また、請求項16記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置に導電性部材を配設することにより前記突起を形成したことを特徴とするものである。

【0023】更に、請求項17記載の発明では、前記請求項14記載のリードフレームの製造方法において、前記突起形成工程は、前記リードパターンの所定位置を塑性加工することにより前記突起を形成したことを特徴とするものである。

【0024】

【作用】上記した各手段は、下記のように作用する。請求項1及び請求項2記載の発明によれば、半導体チップは対峙部により対峙されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドをリード及び配線を用いて引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、対峙部は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部保護膜は対峙部から露出しているため実装基板との電気的接続を確実に行うことができる。

【0025】また、請求項3記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を保護層として用いるため、半導体チップとリードの絶縁と接合を一括的に行うことができる。よって、絶縁材と保護層とを別個に配設する場合に比べて構造の簡素化及び製造の容易化を図ることができる。

【0026】また、請求項4記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて構造の簡素化を図ることができる。また、請求項5記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0027】また、請求項6記載の発明によれば、突起にパンチを形成したことにより、突起を直接実装基板に実装する場合に比べて、半導体装置の実装基板への接続を容易に行うことができる。また、請求項7記載の発明によれば、接合工程においてポリイミド膜を所定温度かつ所定圧力の下に置くことにより接合を容易にさせることができる。

【0028】また、請求項8記載の発明によれば、ポリイミド膜として両面に熱可塑性を有する保護層を配設したものをを用いることにより、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。

【0029】また、請求項9記載の発明によれば、ポリイミド膜として両面に熱可塑性を有する保護層を配設したものをを用いることにより、ポリイミド膜に印加する温度等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。

【0030】また、請求項9記載の発明によれば、接合工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単に接続することができる。また、請求項10及び請求項11記載の発明によれば、アウターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配線ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアウターリード部のリードピッチは大きいため、実装基板への実装性を向上させることができる。また、突起がアウターリード部に形成されることにより、この突起を外装保護膜で覆って用いることができ、これによっても実装性を向上させることができる。

【0031】また、請求項12記載の発明によれば、第1のエッチング工程において突起の形成位置にマスクを配設した上で基材に対してハーフエッチングを行うことにより、突起形成位置を狭く部分の厚みを薄くし、更に第2のエッチング工程においてリード形成位置にマスクを配設した上で第1のエッチング工程が終了した基材に対してエッチングを行うことにより、突起が一体的に形成されたリードを形成することができる。

【0032】ここで、リードを形成する際にリードのピッチは基材の厚みにより決定されてしまう。具体的には、リードのピッチは基材の厚みと略等しいピッチにしか形成することはできない。よって、薄い厚みを用いるとリードピッチを狭くピッチ化することができる。

【0033】ところが、突起が形成されるリードでは基材の厚みは突起の高さにより決まってしまう。突起の高さと等しい厚みを有する基材を単にエッチング処理したのでは狭いピッチのリードを形成することができない。したがって、上記のように第1のエッチング工程において突起を形成し、第2のエッチング工程において突起を除去し、第3のエッチング工程において突起を形成することにより、突起の高さを任意に設定することができる。

も狭ビッチのリード形成を行うことが可能となる。尚、上記説明から明らかなように、突起の配位ピッチは基材の板厚と略等しいピッチまで狭ビッチ化することができる。

(0034) また、請求項 13 記載の発明によれば、第 1 の基材及び第 2 の基材を重ね合わせることにより突起の所定高さ法となるよう板厚が選定されているため、各基材の板厚は突起の高さ寸法より小さな厚さとされている。リードパターン形成工程では、この板厚の薄い第 1 の基材に対してリードの形状となるようリードパターンを形成するため、先に説明した板厚とリードピッチの関係により、形成されるリードパターンのリードピッチを狭ビッチ化することができる。

(0035) また、突起パターン形成工程において第 2 の基材に少なくとも前記突起の形成位置に位置するよう突起パターンを形成し、積合工程において上記第 1 の基材と第 2 の基材を重ね合わせ積合することにより、突起の形成位置においてリードパターンと突起パターンが積層され、この位置における板厚は突起の所定高さとなる。続く除去工程では不要部分が除去されリードが形成される。

(0036) 従って、上記のようにリードパターンの形成時には板厚は薄いためリードピッチを狭ビッチ化することができ、また突起形成位置においてはリードパターンと突起パターンが積層されることにより所定高さの突起を形成することができる。また、請求項 14 記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ビッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

(0037) 更に、請求項 15乃至 17 記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

(0038)

(実施例) 次に本発明の実施例について図面と共に説明する。図 1 及び図 2 は、本発明の一実施例である半導体装置 1 を示している。図 1 は半導体装置 1 の断面図であり、また図 2 は半導体装置 1 を底面図である。

(0039) 各図に示されるように、半導体装置 1 は大略すると半導体チップ 2、複数のリード 3、封止樹脂 4、及びパンプ 5 等により構成されている。半導体チップ 2 は、底面の中央位置に複数の電極パッド 6 が一列に配列されている。また、複数のリード 3 は、電極パッド 6

(0040) このポリイミド膜 7 は、半導体チップ 2 の上面に形成された図 2 A とリード 3 とを電気的に絶縁する絶縁部材として機能すると共に、保護するようにポリイミド膜 7 は半導体チップ 2 とリード 3 とを覆蓋する保護膜として機能している。このように、ポリイミド膜 7 に絶縁部材と保護膜の双方の機能を果たせることにより、絶縁材と保護膜とを別個に配設する構成に比べ、半導体装置 1 の構造の簡素化及び製造の容易化を図ることができ。

(0041) また、インナーリード部 3 a と半導体チップ 2 に形成された電極パッド 6 との間にはワイヤ 8 が配設されており、このワイヤ 8 を介して半導体チップ 2 とリード 3 は電気的に接続された構成とされている。更に、各リード 3 に設けられたアウターリード部 3 b の所定位置には、外部接続端子となる突起 9 が一体的に形成されている。上記構成とされたリード 3 は、各図に示されるようにその大部分が半導体チップ 2 の底面上に配設された構成の、いわゆるリード・オン・チップ (LOC) 構造となっており、半導体装置 1 の小型化が図られている。

(0042) また、封止樹脂 4 は例えばエポキシ樹脂よりなり、保護するようにモールドングにより形成されている。この封止樹脂 4 は、半導体チップ 2 の底面及び側面の所定範囲に配設されている。しかるに本実施例では、半導体チップ 2 の上面においては、放熱性を向上させる面より封止樹脂 4 は配設されていない構成とされている。

(0043) 上記封止樹脂 4 は、半導体チップ 2 の電極パッド 6 の配設面 (底面) を基底とし、この底面からの厚さ (図中、矢印 H で示す) が、底面から突起 9 の先端までの高さ寸法 (図中、矢印 W で示す) 以下で、かつ底面からワイヤ 8 のループ最上端までの高さ寸法 (図中、矢印 h で示す) 以上となるよう構成されている (h ≤ H ≤ W)。この構成とすることにより、突起 9 の少なくとも先端部 9 a は確実に封止樹脂 4 から露出し、またワイヤ 8 及び突起 9 の露出部分を除くリード 3 は封止樹脂 4 に封止された構成となる。

(0044) このように、本実施例の半導体装置 1 は、半導体チップ 2 の所定範囲 (上面を除く部位) を封止樹脂 4 で封止された構成となるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、封止樹脂 4 はワイヤ 8 を確実に保護するため、これによっても半導体装置 1 の信頼性を向上させることができ、更に外部接続端子となる突起 9 の少なくとも先端部 9 a は確実に封止樹脂 4 から露出するため、実装基板 10 との電気的接続を確実に行うことができる。

(0045) ここで、図 2 を用いて半導体装置 1 の底

ている。尚図に示されるように、リード3は隣接するインナーリード部3aのリードピッチ（図中、矢印P...で示す）が隣接するアウターリード部3bのリードピッチ（図中、矢印P...で示す）よりも小さくなるよう形成されている。具体的には、インナーリード部3aのリードピッチP...はアウターリード部3bのリードピッチP...の略半分のピッチ（ $P_{in} = P_{out} / 2$ ）となるよう構成されている。また、後に詳述するように、アウターリード部3bのリードピッチP...は突起9の形成位置におけるリード3の長さWとが略等しくなるよう構成されている（ $P_{out} \approx W$ ）。

〔0046〕上記のように、アウターリード部3bのリードピッチP...に対してインナーリード部3aのリードピッチP...が小さく設定されることにより、インナーリード部3aが電気的に接続される半導体チップ2の電極パッド6の配設ピッチが小さくてもこれに対応させることができ、かつ実装基板10と電気的に接続されるアウターリード部3b（突起9）のリードピッチP...は大きいので、半導体装置1の実装基板10に対する実装性を向上させることができる。

〔0047〕一方、本実施例に係る半導体装置1は、半導体チップ2に配設されている電極パッド6に直接バンプ5を形成し実装基板10に接続するのではなく、電極パッド6とインナーリード部3aとの間にワイヤ8を引き回した上でリード3を介して実装基板10に接続する構成とされている。従って、電極パッド6をリード3及びワイヤ8を用いて引き回すことができるため、リード3のレイアウトを電極パッド6のレイアウトに拘わらず設定することが可能となる。

〔0048〕具体的には、図2に示す例では、半導体チップ2の中央に形成されている電極パッド6をワイヤ8及びリード3を用いて引き回し、外部接続端子となる突起9を半導体チップ2の外周位置に引き出している。また、図3に示されるように、電極パッド6が半導体チップ2の外周位置に形成されている場合には、本発明を適用して電極パッド6をワイヤ8及びリード3を用いて引き回すことにより、電極パッド6の形成位置より内側に外部接続端子となる突起9を形成することも可能である。更に、図4に示されるように、外部接続端子となる突起9を半導体チップ2の外周位置に配設することも可能となる。

〔0049〕このように、電極パッド6をリード3及びワイヤ8を用いて引き回すことが可能となることにより、実装基板10と半導体装置1とのマッチング性を向上させることができ、外部接続端子となる突起9のレイアウトを電極パッド6のレイアウトに容易に設定することができる。よって、半導体装置1を用いるユーザ側の負担を軽減することができる。

は、リード形成工程、折曲工程、接続工程及び封止工程配設工程の基本となる4工程と、これに付随するバンプ形成工程、接続工程の2工程を行うことにより製造される。以下、各工程毎に説明するものとする。

〔0051〕図5乃至図9はリード形成工程の第1実施例を示している。このリード形成工程は、リード3の基材となるリードフレーム11を形成するための工程である。リードフレーム11を形成するには、先ず図5に示されるような平板状の基材12を用意する。この基材12は、例えば4.2アロイ等のリードフレーム材料であり、またその板厚は形成しようとする突起9の高さであるWと等しいものが選定されている。

〔0052〕上記の基材12に対しては、先ず図6に示されるようにマスク13（図地で示す）が配設される。このマスク13は、所定の突起9の形成位置（図中、参照符号14で示す）及びクレドール形成位置（図中、参照符号15で示す）に配設される。

〔0053〕上記のようにマスク13が配設されると、続いて基材12に対してハーフエッチング処理（第1のエッチング工程）が実施される。本実施例においては、ウェットエッチング法により基材12に対してハーフエッチング処理を行っている（ドライエッチング処理等の他のエッチング方法を用いることも可能である）。またエッチング時間は、エッチングにより浸食される部分（図6で白抜きで示される部分）の厚さが、基材12の板厚Wの半分の寸法（ $W/2$ ）となるよう設定されている。

〔0054〕このハーフエッチング処理が終了し、マスク13を取り除いた状態を図7に示す。この状態では、突起9の形成位置14及びクレドール形成位置15のみが元の基材12の厚さWを維持しており、他の部分（参照符号16で示す）はハーフエッチングによりその厚さ寸法は $W/2$ となっている。

〔0055〕上記のようにハーフエッチング処理が終了する。続いて図8に示されるように所定のリード3の形成位置（参照符号18で示す）及びクレドール形成位置15にマスク17（図地で示す）を配設した上で、この基材12に対してエッチング処理を行う。

〔0056〕上記のようにマスク17が配設されると、続いて基材12に対してエッチング処理（第2のエッチング工程）が実施され基材12のマスク17が配設された位置以外の部分を除去する。これにより、図9に示すリード3の所定形状を有した状態のリード3を具備するリードフレーム11が形成される。尚、必要に応じてこのリードフレーム11の所定部位（リード3の形成位置18）にハンダ等を施してもよい。

〔0057〕このように形成されたリードフレーム11は、半導体チップ2の電極パッド6と電気的に接続する。

ーリード部3a及び突起9の形成位置を除くアウターリード部3bの厚さは $W/2$ となっている。

【0058】ここで、リードピッチと基材12の板厚との関係について説明する。前記したように、リード3を形成する際にリード3のピッチは基材12の板厚により決定されてしまい、具体的にはリードピッチは基材12の板厚と略等しいピッチにしか形成することはできない。よって、基材12の板厚が同じなリードピッチを狭くピッチ化することができず、

【0059】ところが、突起9が形成されるリード3では基材12の板厚は突起9の高さにより決まってしまう。突起9の高さと等しい板厚を有する基材12を単にエッチング処理したのでは狭ピッチのリードを形成することができない。しかるに、上記したように第1のエッチング工程においてハーフエッチング処理を実施することにより、突起形成位置14を除き基材12の板厚を薄くし（約 $W/2$ の板厚となるようにする）、更にこの薄くされた板厚を有する部分に第2のエッチング工程を実施してリード3を形成することにより、突起9を有するリード3であっても狭ピッチ（図1に示されるリードピッチ $P_{1..}$ ）のリード形成を行うことが可能となる。また、同様の理由により、突起9（アウターリード部3b）の配設ピッチ（ $P_{..}$ ）は、基材12の板厚 W と略等しいピッチまで狭ピッチ化することが可能となる。

【0060】尚、具体例としては、一般にリード基材として用いられている板厚0.10mm、0.15mm、0.20mmの基材を例に挙げれば、板厚0.10mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.10mm（ $P_{1..}=0.10mm$ ）、インナーリード部3aの最小ピッチ $P_{..}$ を0.15mm（ $P_{..}=0.05mm$ ）とすることができ、また、板厚0.15mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.15mm（ $P_{1..}=0.15mm$ ）、インナーリード部3aの最小ピッチ $P_{..}$ を0.075mm（ $P_{..}=0.075mm$ ）とすることができ、更に、板厚0.20mmの基材ではアウターリード部3b及び突起9の最小ピッチ $P_{1..}$ を0.20mm（ $P_{1..}=0.20mm$ ）、インナーリード部3aの最小ピッチ $P_{..}$ を0.10mm（ $P_{..}=0.10mm$ ）とすることができ、

【0061】一方、突起9の形成位置に注目すると、突起9の形成位置は図6に示されるマスク13の配設位置により決められる。即ち、この図6に示されるマスク13の配設位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法では、外部接続端子となる突起9の形成位置を任意値をもって設定することができ、予め定められている標準外部接続端子位置に突起9を任意に形成することが可能となる。

ム20を形成するには、先ず図10に示されるような第1の基材21と、図11に示されるような第2の基材22を用意する。

【0063】この各基材21、22は、重ね合わせることにより突起9の所定高さ寸法 W となるよう板厚が決定されており、本実施例では各基材21、22の板厚寸法は共に $W/2$ に設定されている。尚、各基材21、22の板厚はこれに決定されるものではなく、重ね合わせることにより突起9の所定高さ寸法 W となる条件の基に各基材21、22で板厚を異ならせた構成としてもよい。

【0064】図10に示される第1の基材21は、例えば42アロイ等のリードフレーム材料により形成されており、エッチング処理或いはプレス打ち抜き処理等を実施することにより、平面視した場合にリード3と同一形状のリードパターン23が形成された構成とされている。しかるに、第1実施例で説明したリード形成工程と異なり、この状態のリードパターン23には突起9は形成されておらず、よってリードパターン23は全体的にその板厚が $W/2$ とされている。尚、図中25で示すのは位置決め孔であり、リードパターン23の形成時に一併的に形成されるものである。

【0065】一方、図11に示される第2の基材22は、予め42アロイ等のリードフレーム材料に対しエッチング処理或いはプレス打ち抜き処理等を実施することにより、突起パターン24が形成された構成とされている。この突起パターン24は直線状のパターン形状を有しており、所定の突起9の形成位置を模倣するよう構成されている。尚、図26は位置決め孔であり、突起パターン24の形成時に一併的に形成されるものである。

【0066】上記構成とされた第1の基材21及び第2の基材22は、位置決め孔25、26を用いて位置決めされつつ重ね合わされ積合される。この第1及び第2の基材21、22の積合は、導電性接着剤を用いて積合してもよく、また溶接により積合してもよい。図12は、第1の基材21と第2の基材22とが積合された状態を示している。

【0067】上記のように第1の基材21と第2の基材22とが積合された状態で、第2の基材22に形成されている突起パターン24は、第1の基材21に形成されているリードパターン23の所定突起形成位置の上面に重ね合わされるよう構成されている。

【0068】図13は、リードパターン23と突起パターン24とが重なり合った部位を拡大して示す平面図であり、また図14はリードパターン23と突起パターン24とが重なり合った部位を拡大して示す断面図である。各図から明らかなように、板厚寸法 $W/2$ のリードパターン23と、同じく板厚寸法 $W/2$ の突起パター

【0069】上記のように第1の基材21と第2の基材22との接合処理が終了すると、残いて不要部分、具体的には突起パターン24のリードパターン23と交差した部分を除く部位をプレス加工等により除去することにより、図15に示すように突起9が一体的に形成されたリード3を有するリードフレーム20が形成される。

【0070】上記のように、本実施例により製造されたリードフレーム20も第1実施例で製造されたリードフレーム11と同様に、リード3はインナーリード部3a、アウターリード部3b及び突起9が一体的に形成された構成となる。また、図10に示すリードパターン23の形成時においては、第1の基材21の板厚は $W/2$ とされているため、先に説明した板厚とリードピッチの関係から明らかなように、該ピッチのリードパターン23を形成することができる。

【0071】一方、突起9の形成位置に注目すると、突起9の形成位置は第2の基材22に形成される突起パターン24の形成位置により決められる。即ち、この突起パターン24の形成位置を適宜変更することにより、突起9の形成位置を任意設定することが可能となる。このため、本実施例に係るリード形成方法においても、外部接続端子となる突起9の形成位置を自由度をもって設定することができ、よって予め定められている標準外形規格端子位置に突起9を容易に形成することが可能となる。

【0072】上記のようにリード形成工程を実施することによりリードフレーム11、20（以下の説明では、リードフレーム11を用いた場合を例に挙げて説明する）が形成されると、続いてリードフレーム11と半導体チップ2を接合する接合工程が実施される。以下、図16乃至図20を用いて接合工程について説明する。

【0073】接合工程においては、先ず図16に示されるようにリードフレーム11のインナーリード部3a（換言すれば、後述する接続工程においてワイヤ8がボンディングされる部位）に金メッキを施すことにより、ボンディングパッド部27を形成する。

【0074】また、図17に示されるように、半導体チップ2の電極パッド6の形成された面には、この電極パッド6の形成部位のみが露出する構成でポリイミド膜7が配設される。このポリイミド膜7はガラス転移点 T_g が100～300℃のものを選定されており、図17に示される状態では既に半導体チップ2に載置されただけの状態となっている。従って、ポリイミド膜7が脱落しないよう、半導体チップ2は電極パッド6の形成面が上記に位置するよう配設されている。尚、半導体チップ2に配着防止は行われておらずヘアチップ状とされている。また、上記のポリイミド膜7は、半導体チップ2を形成す

れた半導体チップ2には、図18に示されるようにリードフレーム11が載置される。この際、リードフレーム11に形成されているリード3（インナーリード部3a）と、半導体チップ2に形成されている電極パッド6とが精度よく対向するよう、リードフレーム11は位置決めされる。

【0076】上記のようにリードフレーム11が半導体チップ2上の所定位置に載置されると、続いて図19に示されるように治具28が降下し、リードフレーム11を半導体チップ2に向け押圧する。また、この治具28は加熱装置を具備しており、治具28で発生する熱はリードフレーム11を介してポリイミド膜7に印加される。

【0077】上記ポリイミド膜7は、半導体チップ2とリードフレーム11とを電気的に接続する絶縁材料として従来より一般的に用いられているものであるが、本発明者はこのポリイミド膜7を所定の環境条件下に置くことにより接着剤として機能することを見出した。具体的には、ポリイミド膜7としてガラス転移点 T_g が100～300℃のものを使用し、かつこのポリイミド膜7をガラス転移点 T_g ＋100～200℃に加熱すると共に、 $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加することにより、ポリイミド膜7は接着剤として機能するようになる。

【0078】よって、本実施例では上記の点に注目し、半導体チップ2とリードフレーム11との接合時に、治具28に設けられているヒータによりポリイミド膜7をガラス転移点 T_g ＋100～200℃に加熱すると共に、治具28の加工によりポリイミド膜7に $1 \sim 10 \text{ kg/cm}^2$ の押圧力を印加する構成としている。これにより、ポリイミド膜7は接着剤として機能するようになり、半導体チップ2とリードフレーム11とをポリイミド膜7を用いて接着することが可能となる。

【0079】上記構成とすることにより、従来では必要とされたポリイミド膜を半導体チップ2及びリードフレーム11と接着するための接着剤は不要となり、製品コストの低減及び半導体装置1の組み立て工数の低減を図ることができる。図20は、半導体チップ2とリードフレーム11とがポリイミド膜7により接合された状態を示している。

【0080】尚、半導体チップ2とリードフレーム11との接合は、ポリイミド膜7を用いて接合する方法に限定されるものではなく、従来のようにポリイミド膜の両面に接着剤を塗布しておき、この接着剤によりポリイミド膜を介させた状態で半導体チップ2とリードフレーム11とを接合する方法を用いてもよい。この構成では、ポリイミド膜に対する温度範囲及び押圧力の値が不変となり、接合工程の安定に実施することができる。

ド 3 と半導体チップ 2 に形成されている電極パッド 6 とをワイヤ 8 で電気的に接続する接続工程が実施される。

【0082】図 21 は、キャピタリ 29 を用いてワイヤ（例えば金ワイヤ）8 をリード 3 に形成されたボンディングパッド部 27（図 16 参照）と電極パッド 6 との間に配設する処理を示している。所知のように、半導体装置 1 の電気的体性を向上させる面からはワイヤ 8 の長さは短い方がよく、また半導体装置 1 の小型化・薄型化のためにはワイヤ 8 は低ループであることが望ましい。

【0083】このため、ワイヤ 8 を配設するのに低ループボンディング法を採用することが望ましい。低ループボンディング法も種々の方法が提案されているが、例えば先ず半導体チップ 2 に形成されている電極パッド 6 にワイヤ 8 をボンディングし、続いて垂直上方にキャピタリ 29 を移動させた後に水平方向に移動させてリード 3 にボンディングする、いわゆる逆打ち法を用いる構成としてもよい。

【0084】上記のように、リード 3 と電極パッド 6 とを電気的に接続するのにワイヤボンディング法を用いることにより、容易かつ高速度に接続処理を行うことができる。また、リード 3 と電極パッド 6 との間におけるワイヤ 8 の引き回しも比較的自由度を持って行うことができる。尚、図 22 は、接続工程を実施することによりリード 3 と電極パッド 6 との間にワイヤ 8 が配設された状態を示している。

【0085】上記のように接続工程を実施することにより、電極パッド 6 とリード 3 とがワイヤ 8 により電気的に接続されると、続いて半導体チップ 2 の所定部分に封止樹脂 4 を配設する封止樹脂配設工程が実施される。以下、図 23乃至図 25 を用いて封止樹脂配設工程について説明する。

【0086】図 23 は、上記の各工程を実施することによりリードフレーム 11、ワイヤ 8 等が配設された半導体チップ 2 を金型 30 に装着した状態を示している。金型 30 は上型 31 と下型 32 とにより構成されており、リードフレーム 11 が上型 31 と下型 32 との間にクランプされることにより、半導体チップ 2 は金型 30 内に装着される。

【0087】上型 31 は、半導体チップ 2 が装着された状態で突起 9 及びリードフレーム 11 のクレドール 33 と当接する構成とされている。突起 9 の高さでクレドール 33 の高さは等しいため、よって上型 31 の形状は平板形状とされている。また、下型 32 に装着された半導体チップ 2 の側面に空間部を有したキャビティ形状を有しており、また半導体チップ 2 の面における底面はキャビティ 33 の底面と当接する構成とされている。

【0088】このように、封止樹脂配設工程で用いる上

装置 1 の製品コストの低減に寄与することができる。

【0089】図 24 は金型 30 に封止樹脂 4（樹脂で示す）を充填した状態を示している。金型 30 に封止樹脂 4 を充填することにより、半導体チップ 2 の下型 31 と当接した上面（図 23乃至図 25 では下底に位置する）を除く外面面は封止樹脂 4 により封止される。また、半導体チップ 2 の底面に配設されているリード 3 及びワイヤ 8 も封止樹脂 4 により封止された状態となる。また、突起 9 も上型 31 と当接している縁部を除き封止樹脂 4 により封止された構成となる。

【0090】図 25 は、封止樹脂 4 が充填処理された半導体チップ 2 を金型 30 から離型した状態を示している。同図に示されるように、半導体チップ 2 の上面 2a は封止樹脂 4 より露出しており、よってこの上面 2a より半導体チップ 2 で発生する熱を効率よく放熱させることができる。また、突起 9 の縁部 9a も封止樹脂 4 から外部に露出しており、従ってこの縁部 9a を外装接続端子として用いることができる。

【0091】図 25 に示される状態において、図中一点線部で示す箇所（リードフレーム 11）を切断することにより半導体装置を構成しても、図 1 に示す半導体装置 1 と同様の効果を実現することができる。しかるに、図 25 に示す状態では、外部接続端子として機能する突起 9 の縁部 9a が封止樹脂 4 の表面と面一となっているため、実装基板 10 に対する実装性が不良である。このため、本実施例においては、封止樹脂配設工程が終了した後、縁部 9a にパンク 5 を形成するパンク形成工程を実施している。以下、パンク形成工程を図 26乃至図 30 を用いて説明する。

【0092】パンク形成工程においては、先ず図 26 に示すように、封止樹脂 4 が配設された半導体チップ 2 の全面に対してホーニング処理を行い、残留する樹脂屑等を除去すると共に、突起 9 の縁部 9a を確実に外部に露出させる。ホーニング処理が終了すると、続いて図 27 に示すように、封止樹脂 4 が配設された半導体チップ 2 を半田糊 34 に浸漬し、突起 9 の縁部 9a に半田を用いて外装メッキを行う（半田糊を参照符号 35 で示す）。この外装メッキに用いる半田としては、例えば Pb:Sn = 1:9 の組成比を有する半田の適用が考えられる。図 28 は、上記の外装メッキにより突起 9 の縁部 9a に半田糊 35 が形成された状態を示している。

【0093】上記のように外装メッキ処理が終了すると、続いて半田糊 35 が形成された突起 9 の縁部 9a にパンク 5 が形成される。このパンク 5 の形成方法としては種々の方法を採用することができる。例えば効率的かつ容易にパンク 5 を形成しうる超音波パンク法を用いても成してもよい。図 29 は、パンク 5 が突起 9 の縁部 9

リードフレーム 11 の切断処理が行われ、これにより、図 30 に示される半導体装置 1 が形成される。尚、このリードフレーム 11 の切断処理に先立ち、切断処理を容易にするためにリードフレーム 11 の切断箇所にはハーフエッチング処理を行ってもよい。

〔0095〕上記のように製造された半導体装置 1 に対しては、図 31 及び図 33 は、天々異なる半導体装置 1 の試験方法を示している。図 31 に示される試験方法では、パンプ 5 を装着しうる構成とされたソケット 36 を用い、このソケット 36 に半導体装置 1 を装着することによりバーイン等の試験を行うものである。

〔0096〕また、図 32 に示される試験方法は、プローブ 37 を用いて半導体装置 1 の試験を行う方法である。半導体装置 1 は、封止樹脂 4 の底部位置にリード 3 の端部が封止樹脂 4 から露出した構成とされている。本試験方法では、これを利用して封止樹脂 4 から露出したリード 3 にプローブ 37 を接触させて試験を行う構成とされている。よって、本試験方法を採用することにより、半導体装置 1 を実装基板 10 に実装した状態においても試験を行うことが可能となる。

〔0097〕図 33 は、半導体装置 1 を実装基板 10 に実装する実装工程を示している。半導体装置 1 を実装基板 10 に実装する方法としては、周知の種々の方法を採用することが可能である。例えば、赤外線リフロー方法を用い、半導体装置 1 に付けられているパンプ 5 を実装基板 10 に形成されている電極部 38 にペースト等を用いて仮止めし、その上で赤外線リフロー炉においてパンプ 5 を溶融させることによりパンプ 5 と電極部 38 とを接合する方法を用いてもよい。

〔0098〕図 34 乃至図 37 は、天々突起 9 の変形例を示している。図 34 (A)、(B) に示される突起 9A は、その形状を円柱状とした構成である。また、図 37 (C) に示される突起 9B は、その形状を角柱状とした構成である。このように、突起 9A、9B の平面形状は種々設定できるものであり、パンプ 5 の接合性及び実装基板 10 に形成されている電極部 38 の形状等に応じて任意に形状を設定することが可能である。具体的には、例えばエッチング法により突起 9A、9B を形成する場合、図 6 に示す突起形成位置 14 に配設するマスク 13 の形状を適宜設定することにより突起 9A、9B の平面形状を容易に所望する形状とすることができる。

〔0099〕また、図 35 (A) に示される突起 9C のように上面に曲面状凹部を形成した構成としてもよく、図 35 (E) に示される突起 9D のように上面中央部に

E によれば、突起上面における面積を大きくすることができパンプ 5 との接合性の向上を図ることができる。

尚、上記の突起 9C~9E は、リード 3 の所定突起形成位置に、導電性接着剤等を用いて固定された構成とされている。

〔0100〕また図 35 (D) に示すのは、リード 3 をプレス加工等により導電性変形させることにより突起 9F を形成したものである。このようにプレス加工等の塑性加工を用いて突起 9F を形成することにより、極めて容易に突起 9F を形成することができる。しかも、この形成方法では、突起 9F の高さは塑性加工限界値を上廻し、それ以上の高さに設定することはできないという問題点も有する。

〔0101〕また、図 36 に示すのは、突起 9G を形成するのにワイヤボンディング技術を用い、スタッドパンプ 2 の突起形成位置に形成することにより突起 9G としたことを特徴とするものである。図 36 (A) は突起 9G の形成方法を示しており、また図 36 (B) は突起 9G を拡大して示している。

〔0102〕上記のように、突起 9G をワイヤボンディング技術を用いスタッドパンプ 2 で形成することにより、任意の位置に突起 9G を形成することが可能となり、外部接続端子となる突起 9G を所定位置に容易に形成することができる。また、突起 9G の形成は、半導体装置の製造工程の内、接合工程においてワイヤ 8 の配設時に一時的に形成することが可能となり、製造工程の簡略化を図ることができる。

〔0103〕また、突起 9G の高さはスタッドパンプ 2 を複数積み重ねて配設することにより任意に設定することができる。図 37 (A) に示される突起 9H は、スタッドパンプ 2 を 3 個積み重ねることにより図 36 (B) に示される 1 個のスタッドパンプ 2 により突起 9G を形成した構成に比べて高さを高くしたものである。

〔0104〕また突起の高さを高くする他の方法として、図 37 (B) に示されるように予めリード 3 にブロック状の導電性材料 41 を導電性接着剤等により固定しておき、この導電性材料 41 の上部に図 37 (C) に示されるようにスタッドパンプ 42 を形成し、積層された導電性材料 41 とスタッドパンプ 42 とが協働して突起 9I を形成する構成としてもよい。この構成の場合、突起 9I の高さは導電性材料 41 の高さにより決められることとなるが、ブロック状の導電性材料 41 は種々の大きさのものが提供されており、よって突起 9I の高さを任意に設定することができる。

〔0105〕図 38 は、接合工程の変形例を示している。上記した実施例では、図 16 乃至図 20 に示したように半導体チップ 2 とリードフレーム 11 とを所定位置に

ム 11 とを接合する構成としてもよい。

【0106】また、テープ状接着剤 45 の配設位置は、半導体チップ 2 の上面だけでなく、図 38 に示されるようリードフレーム 11 の下面にも設けてもよく、またリードフレーム 11 の下面のみに設けた構成としてもよい。更に、テープ状接着剤 45 の配設範囲は、電極パッド 6 の形成位置を除く図中矢印 X で示す範囲であれば、自由に設定することができる。尚、テープ状接着剤 45 は、半導体チップ 2 とリードフレーム 11 とを電気的に絶縁する必要があるため、絶縁性接着剤である必要がある。

【0107】図 39 乃至図 42 は、接装工程の実形例を示している。上記した実施例では、図 21 及び図 22 に示されるように電極パッド 6 とリード 3 とを接装するのにワイヤ 8 を用いた構成を示したが、図 39 乃至図 42 に示す実形例では電極パッド 6 とリード 3 とを直接接装するダイレクトリードボンディング (DLB) 方法を用いたことを特徴としている。

【0108】図 39 及び図 40 に示す例では、リード 3 を例えば超音波振動子に接続された接合器具 46 を用いて直接的に電極パッド 6 に接合する構成とされている。10 しかるに、この構成では超音波振動する接合器具 46 により、電極パッド 6 にダメージが発生するおそれがある。

【0109】そこで図 41 及び図 42 に示す例では、予め電極パッド 6 にスタッドパンプ 47 を配設しておき、このスタッドパンプ 47 にリード 3 を当接させた上で加熱器具 48 を用いてスタッドパンプ 47 を加熱溶融し電極パッド 6 とリード 3 を接装する構成とされている。この接装方法によれば、電極パッド 6 が損傷するおそれなく、接装工程の信頼性を向上させることができる。

【0110】また、図 39 乃至図 42 に示した接装工程によれば、ワイヤ 8 を用いて電極パッド 6 とリード 3 を接装する構成に比べて電気抵抗を低減できるため、半導体装置 1 の電気特性を向上させることができ、高速の半導体チップ 2 に対応することができる。

【0111】図 43 乃至図 44 は、封止樹脂配設工程の実形例を示している。上記した実施例では、図 23 及び図 24 に示されるように金型 30 を構成する下型 32 のキャビティ底面は半導体チップ 2 の上面 2a と直接当接し、この上面 2a には放熱性を向上させる層から封止樹脂 4 が配設されない構成とされていた。

【0112】しかるに、半導体装置 1 が使用される環境が厳しい（例えば、多塵環境）時には放熱性よりも耐塵性等をより必要とする場合が生じ、このような場合には封止樹脂 4 により半導体チップ 2 を完全に封止する必要がある。図 43 及び図 44 に示す金型 50 は、半導体チップ 2 を封止する層 2b を完全に封止する構成とされている。

キャビティ 52 が、図 43 に示されるように半導体チップ 2 の外面から露出しており、よって図 44 に示されるように封止樹脂 4 を金型に充填した状態で半導体チップ 2 は完全に封止樹脂 4 に封止された構成となる。このように、半導体チップ 2 に対する封止樹脂 4 の配設位置は、金型 30、50 に形成されるキャビティ 33、52 の形状を適宜変更することにより任意に設定することができる。

【0114】また、上型 31 にリード 3 に形成された突起 9 を嵌着する凹部を形成しておくことにより、図 45 に示されるような突起 9 が封止樹脂 4 から大きく突出した構成の半導体装置 60 を形成することも可能である。図 45 に示す半導体装置 60 は、突起 9 が封止樹脂 4 から大きく突出しているため実装基板 10 に対する実装性は良好であり、よって前記した実施例に係る半導体装置 1 のようにパンプ 5 を設ける必要はなく、半導体装置 60 の製造工程の簡素化を図ることができる。

【0115】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を奏することができる。請求項 1 及び請求項 2 記載の発明によれば、半導体チップは封止樹脂により封止されるため、耐熱性、機械的強度及び耐湿性を向上させることができる。また、電極パッドとリードとの間で配線を引き回すことができるため、リードのレイアウトを電極パッドのレイアウトに拘わらず設定することが可能となり、実装基板とのマッチング性を向上させることができる。また、封止樹脂は引き回された配線を確実に保護するためこれによっても信頼性を向上させることができ、また外部振動等により封止樹脂から露出しているため実装基板との電気的接続を確実に行うことができる。

【0116】また、請求項 3 記載の発明によれば、通常半導体チップとリードとの絶縁材として配設されるポリイミド膜を接着剤として用いているため、半導体チップとリードの絶縁と接合を一括的に行うことができ、よって絶縁材と接着剤とを別個に配設する構成に比べて製造の簡素化及び製造の容易化を図ることができる。

【0117】また、請求項 4 記載の発明によれば、突起をリードと一体的に形成したことにより、突起とリードを別個の材料により構成する場合に比べて製造の簡素化を図ることができる。また、請求項 5 記載の発明によれば、配線としてワイヤを用いたことにより、前記した電極パッドとリードとの間における配線の引き回しを容易に行うことができる。

【0118】また、請求項 6 記載の発明によれば、突起にパンプを形成したことにより、突起を直接実装基板に実装する構成に比べて、半導体装置の実装基板への接合を容易に行うことができる。また、請求項 7 記載の発明によれば、接合工程において、テープ状の接着剤を用いて

構成としているため、リードと半導体チップとの接合と接合を一括的に行うことができる。

〔0119〕また、接続工程では半導体チップに形成されている電極パッドと前記リードとを配線を引き回し接続するため、この引き回しを適宜設定することにより、電極パッドのレイアウトに対してリードのレイアウトを変更することが可能となる。また、半導体装置はリード形成工程、接合工程、接続工程及び封止樹脂配設工程の4工程のみで製造される。このように少ない工程で半導体装置が製造されるため、生産効率を向上させることができる。

〔0120〕また、請求項8記載の発明によれば、ポリイミド膜に印加する電圧等を所定範囲内に制御することなく接合処理を行うことができるため、接合処理を容易に行うことができる。また、請求項8記載の発明によれば、接続工程で、電極パッドとリードとをダイレクトリードボンディング法を用いて電気的に接続するため、簡単にかつ確実に電極パッドとリードとの接続処理を行うことができる。

〔0121〕また、請求項10及び請求項11記載の発明によれば、アフターリード部のリードピッチに対してインナーリード部のリードピッチが小さく設定されているため、インナーリード部が電気的に接続される半導体チップの電極パッドの配設ピッチが小さくてもこれに対応させることができ、かつ実装基板と電気的に接続されるアフターリード部のリードピッチは大きい。実装基板への実装性を向上させることができる。また、突起がアフターリード部に形成されることにより、この突起を外部接続端子として用いることができ、これによっても実装性を向上させることができる。

〔0122〕また、請求項12及び請求項13記載の発明によれば、突起が一体的に形成された狭ピッチのリードを容易に形成することができる。また、請求項14記載の発明によれば、リードパターンを形成するリードパターン形成工程と、突起を形成する突起形成工程とを別個に行うことにより、基材の厚さを突起の高さに拘わらず選定することができ、よって薄い基材を用いることによりリードパターンの狭ピッチ化を図ることができる。また、突起形成工程においては、任意の高さを有する突起を形成することが可能となり、設計の自由度を向上させることができる。

〔0123〕更に、請求項15乃至17記載の発明によれば、突起形成工程において突起の形成を容易に行うことができる。

〔図面の簡単な説明〕

〔図1〕本発明の一実施例である半導体装置を示す断面図である。

示す断面図である。

〔図4〕本発明の一実施例である半導体装置の実形態を示す断面図である。

〔図5〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、基材を示す図である。

〔図6〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

〔図7〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、第1のエッチング工程が終了した状態を示す図である。

〔図8〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、所定位置にマスクを配設した状態を示す図である。

〔図9〕本発明に係るリードフレームの製造方法の第1実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図10〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材を示す図である。

〔図11〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第2の基材を示す図である。

〔図12〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、第1の基材と第2の基材を接合した状態を示す図である。

〔図13〕リードパターンと突起パターンとが重なり合った部位を拡大して示す平面図である。

〔図14〕リードパターンと突起パターンとが重なり合った部位を拡大して示す側面図である。

〔図15〕本発明に係るリードフレームの製造方法の第2実施例を説明するための図であり、完成したリードフレームを示す図である。

〔図16〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ボンディングパッド部の形成を説明するための図である。

〔図17〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにポリイミド膜を配設する処理を説明するための図である。

〔図18〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、半導体チップにリードフレームを配設する処理を説明するための図である。

〔図19〕本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、ポリイミド膜を接合部として機能させて半導体チップとリードフレームとを接合する処理を説明するための図である。

示す図である。

【図 21】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、キャピラリを用いてワイヤの配線処理を行っている状態を示す図である。

【図 22】本発明に係る半導体装置の製造工程の接合工程を説明するための図であり、電極パッドとリードとの間にワイヤが配線された状態を示す図である。

【図 23】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、半導体チップが金型に装着された状態を説明するための図である。

【図 24】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、金型に封止樹脂が充填された状態を説明するための図である。

【図 25】本発明に係る半導体装置の製造工程の封止樹脂配設工程を説明するための図であり、樹脂封止された半導体チップが金型から離型された状態を説明するための図である。

【図 26】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、ホーニング処理を実施している状態を示す図である。

【図 27】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理を実施している状態を示す図である。

【図 28】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、外装メッキ処理が終了した状態を示す図である。

【図 29】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、パンパを形成した状態を示す図である。

【図 30】本発明に係る半導体装置の製造工程のパンパ形成工程を説明するための図であり、完成した半導体装置を示す図である。

【図 31】本発明に係る半導体装置の試験工程を説明するための図であり、ソケットを用いて試験を行う方法を示す図である。

【図 32】本発明に係る半導体装置の試験工程を説明するための図であり、プローブを用いて試験を行う方法を示す図である。

【図 33】半導体装置を実装基板に実装する実装工程を説明するための図である。

【図 34】突起の平面形状を具ならせた実形性を示す図である。

【図 35】突起の断面形状を具ならせた実形性を示す図である。

【図 36】スタッドパンパにより突起を形成する構成を説明するための図である。

【図 37】スタッドパンパにより突起を形成する構成の

【図 39】接合構成の実形例を示す図であり、電極パッドに直接リードを接合する方法を説明するための図である。

【図 40】接合構成の実形例を示す図であり、電極パッドに直接リードが接合された状態を示す図である。

【図 41】接合構成の実形例を示す図であり、電極パッドにリードをスタッドパンパを介して接合する方法を説明するための図である。

【図 42】接合構成の実形例を示す図であり、電極パッドにリードをスタッドパンパを介して接合した状態を示す図である。

【図 43】封止樹脂配設工程の実形例を説明するための図であり、金型に半導体チップが装着された状態を示す図である。

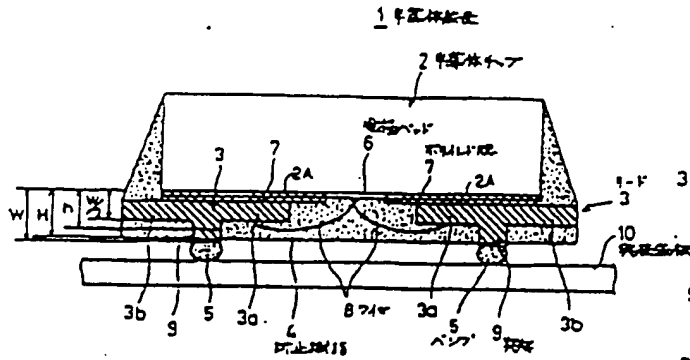
【図 44】封止樹脂配設工程の実形例を説明するための図であり、金型に封止樹脂が充填された状態を示す図である。

【図 45】突起が封止樹脂より大きく突出した構成の半導体装置を示す図である。

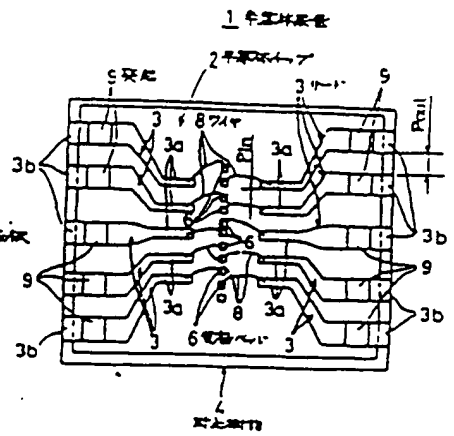
20 【符号の説明】

1. 60 半導体装置
- 2 半導体チップ
- 3 リード
- 3a インナーリード部
- 3b アウターリード部
- 4 封止樹脂
- 5 パンパ
- 6 電極パッド
- 8 ワイヤ
9. 9A~9I 突起
- 10 実装基板
11. 20 リードフレーム
- 12 基材
13. 17 マスク
- 21 第1の基材
- 22 第2の基材
- 23 リードパターン
- 24 突起パターン
- 28 粘着剤
- 29 キャピラリ
30. 50 金型
- 31 上型
32. 51 下型
33. 52 キャビティ
- 34 半田槽
- 35 半田膜
- 41 導電性部材

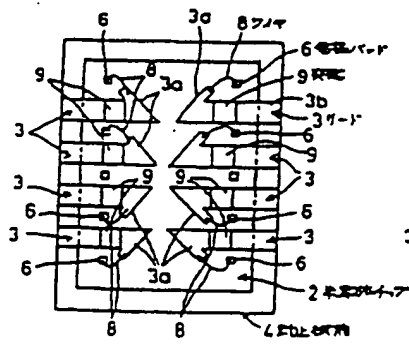
{ 1 }



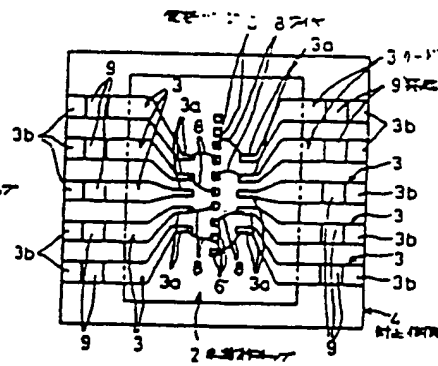
(2)



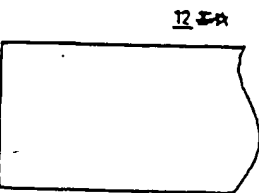
(3)



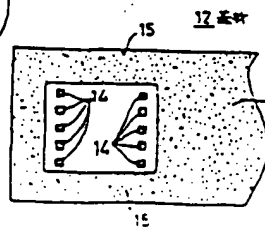
{ 4 }



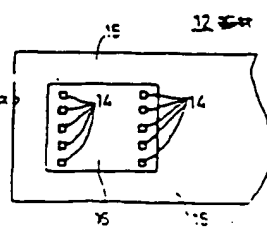
(5)



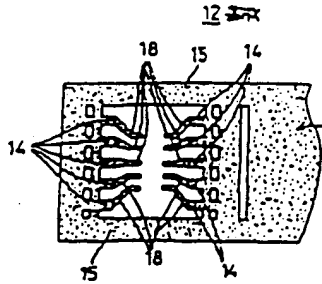
(15 6)



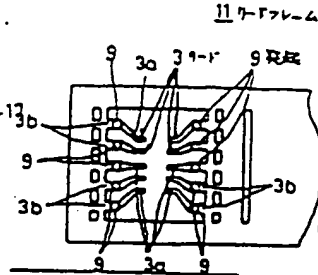
(७ :)



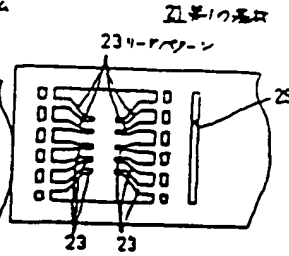
(図 8)



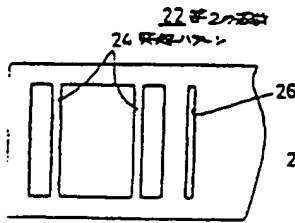
(図 9)



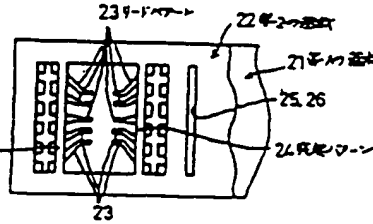
(図 10)



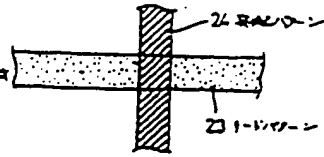
(図 11)



(図 12)

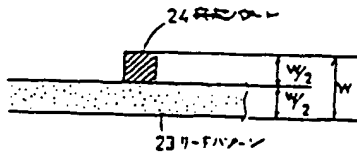


(図 13)

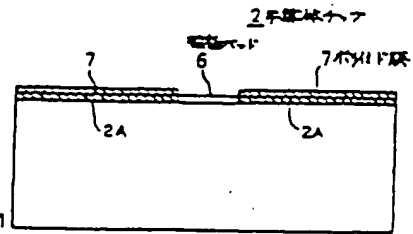
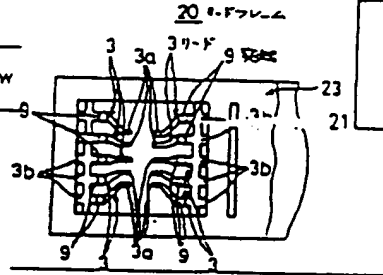


(図 17)

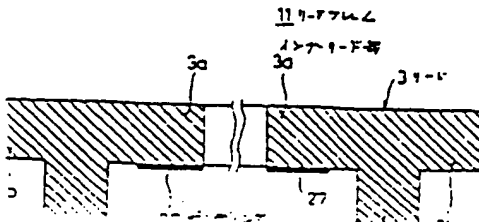
(図 14)



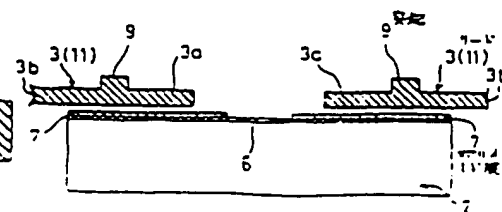
(図 15)



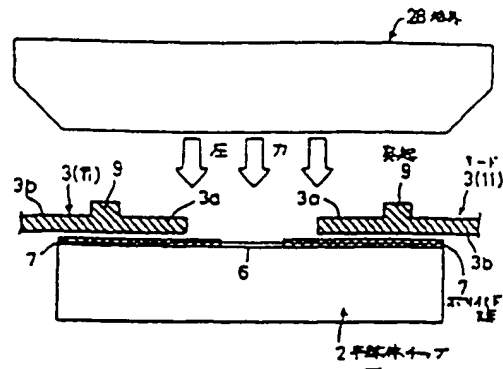
(図 16)



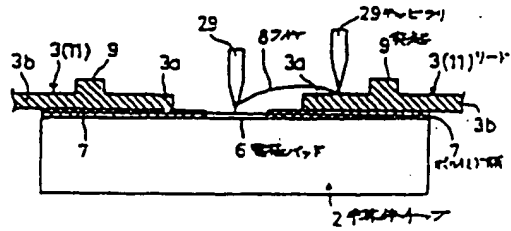
(図 18)



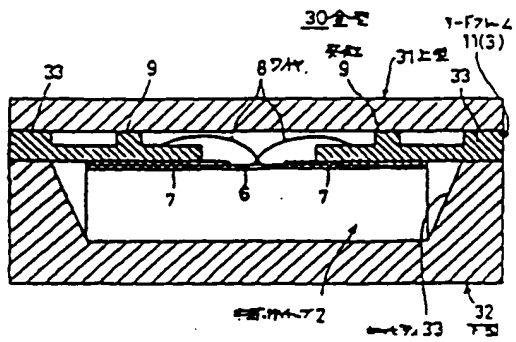
(図 19)



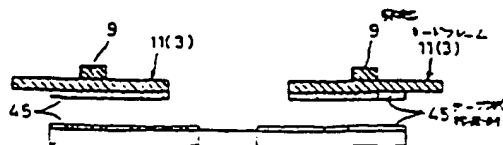
(図 21)



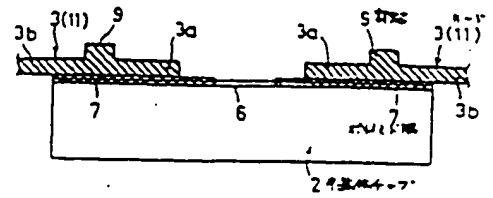
(図 23)



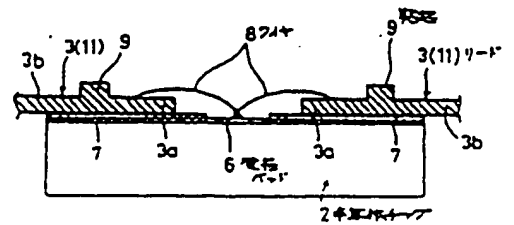
(図 38)



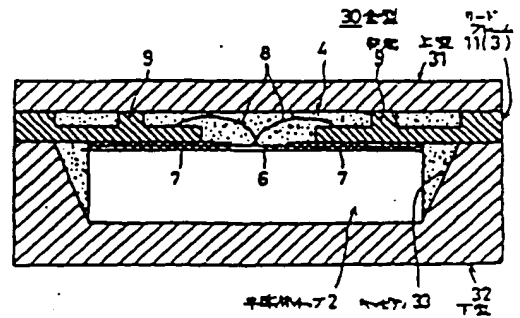
(図 20)



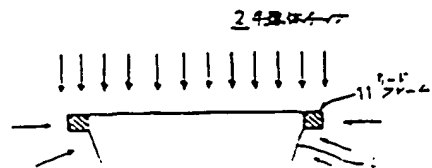
(図 22)



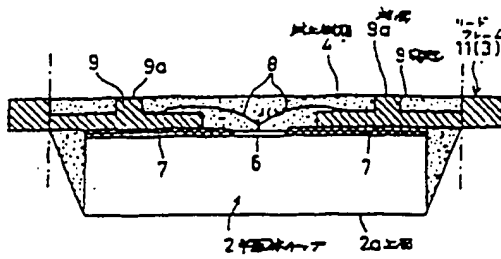
(図 24)



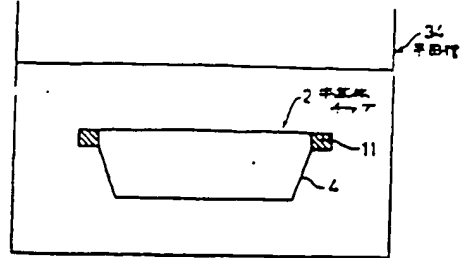
(図 26)



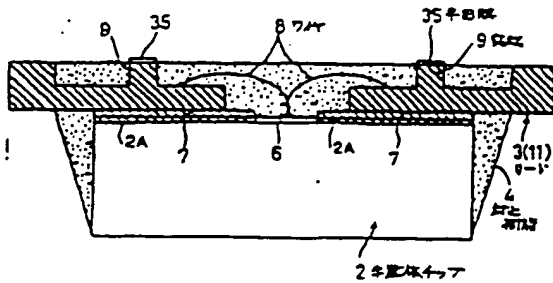
(図 2 5)



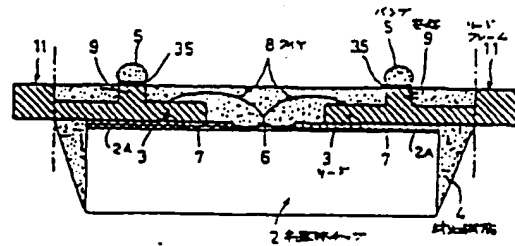
(図 2 7)



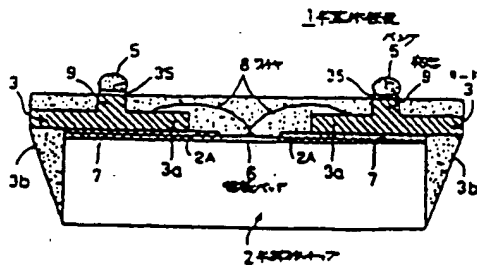
(図 2 8)



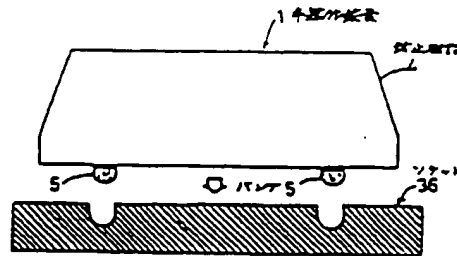
(図 2 9)



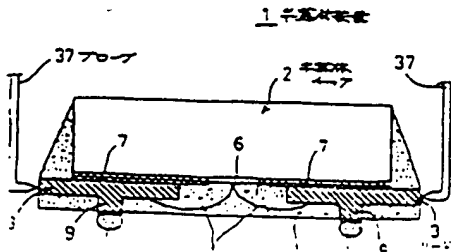
(図 3 0)



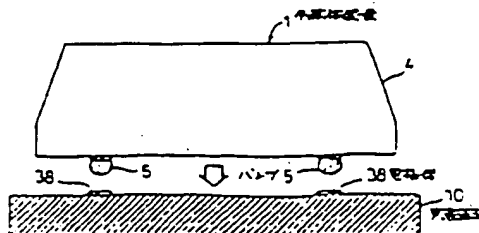
(図 3 1)



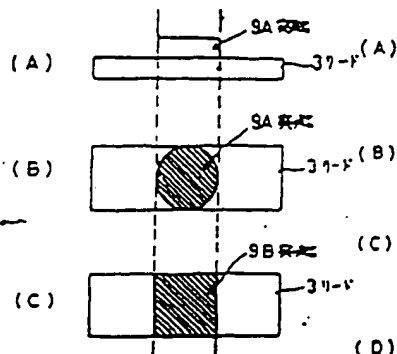
(図 3 2)



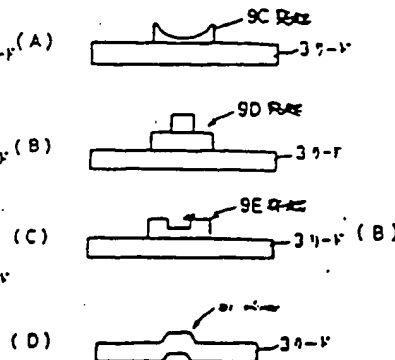
(図 3 3)



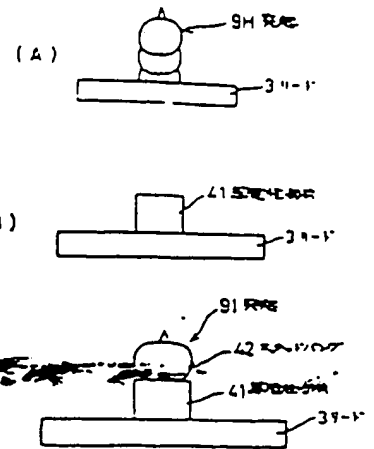
(図 3 4)



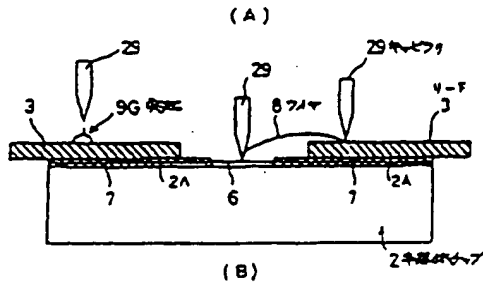
(図 3 5)



(図 3 7)



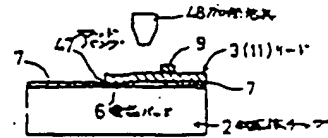
(図 3 6)



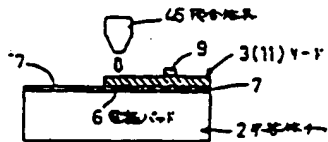
(図 4 1)



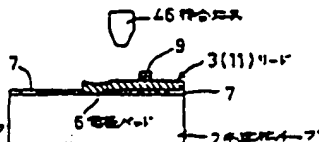
(図 4 2)



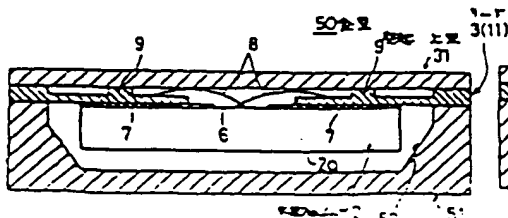
(図 3 9)



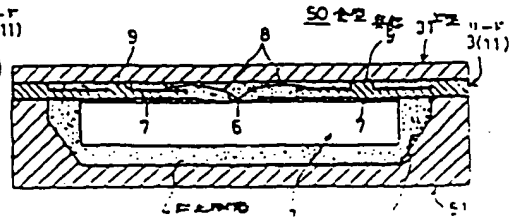
(図 4 0)



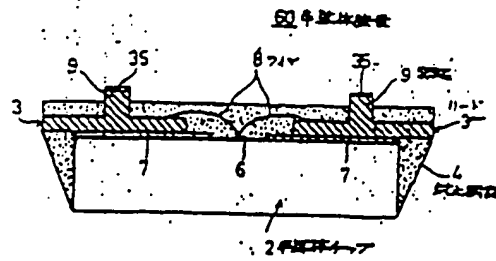
(図 4 3)



(図 4 4)



(図 4 5)



フロントページの続き

(72)発明者 宇野 正

神奈川県川崎市中原区上小田中 1 0 1 5 番

地 富士通株式会社内

(72)発明者 藤沢 哲也

神奈川県川崎市中原区上小田中 1 0 1 5 番

地 富士通株式会社内

(72)発明者 船 政樹

鹿児島県薩摩郡入来町副田 5 9 5 0 番地

株式会社九州富士通エレクトロニクス内